Technische Universität Ilmenau

Fakultät für Elektrotechnik und Informationstechnik



DIPLOMARBEIT

Optimierung von Hochvoltbauelementen mittels 2D-Simulation

vorgelegt von:
geboren am/in:
Studiengang:
Studienrichtung:

Ralf Siemieniec 12.05.1970 in Leisnig Elektrotechnik Festkörperelektronik

verantwortlicher Hochschullehre	r: Prof. DrIng. habil. D. Schipanski
Betreuer:	DrIng. habil. R. Herzer DiplIng. M. Netzel
Beginn der Arbeit: 15.	08.1994

Abgabe der Arbeit: 14.03.1995

Registriernummer: 141.94.8

Ilmenau, den 13.03.1995

Danksagung

An dieser Stelle möchte ich mich recht herzlich bei meinen Betreuern, Herrn Dr. Reinhard Herzer und Dipl.-Ing. Mario Netzel bedanken, welche mir bei der Besprechnung von Problemen wertvolle Anregungen und Hinweise geben konnten.

Mein Dank gilt ebenfalls Herrn Dipl.-Ing. Maik Brett, der für die Lauffähigkeit der genutzten Hard- und Software verantwortlich zeichnete und mir bei auftretenden Softwareproblemen hilfreich zur Seite stand.

Inhaltsverzeichnis

Inhaltsverzeichnis	1
1. Einleitung	3
2. Hochvolt-IGBT	5
2.1. Aufbau und Funktionsweise von IGBT	5
2.2. Vertikale IGBT	8
2.3. Andere IGBT-Entwicklungsvarianten	13
2.3.1. Laterale IGBT	13
2.3.2. Trench-IGBT	14
2.3.3. Schottky-IGBT	16
2.4. Zellenauswahl	18
3. Optimierung von 1200V-NPT-IGBT-Zellen	19
3.1. Allgemeine Design-Regeln	19
3.2. Optimierung der Zellweite	20
3.2.1. Vorgehensweise	20
3.2.2. Ergebnisse der Zellweitenoptimierung	23
3.2.3. Die 26µm-Zelle	27
3.3. Ladungsträgerlebensdauer und Schaltverhalten	28
3.3.1. Einfluß der Lebensdauer auf die statischen Verluste	28
3.3.2. Einfluß der Lebensdauer auf dynamische Parameter	29
3.4. Einfluß der Wannengeometrie auf die Kennwerte des IGBT	33
3.4.1. Variation der Wannengeometrie	33
3.4.2. Einfluß des npn-Transistors auf das Latch-Up-Verhalten	37
3.5. Technologische Realisierung der IGBT	39
3.5.1. Prozeßparameter	39

3.5.2. Resultierende Kennwerte der IGBT	40
3.5.3. Einfluß von Oberflächenladungen	42
3.6. Temperaturverhalten	45
3.6.1. Verwendete Modelle	45
3.6.2. Temperaturabhängigkeit wichtiger Bauelementekennwerte	46
4. Doppelt Implantierte IGBT (DIGBT)	49
4.1. Aufbau und Eigenschaften von DIGBT	49
4.2. Technologische Realisierung und berechnete Kennwerte	51
4.2.1. Vorstellung eines möglichen DIGBT-Prozesses	51
4.2.2. Einfluß technologischer Parameter auf statische Kennwerte	52
4.2.3. Einfluß technologischer Parameter auf das Kurzschlußverhalten	59
5. Zusammenfassung der Ergebnisse	63
Verzeichnis der verwendeten Symbole und Abkürzungen	65
Literaturverzeichnis	68
Anhang	72
A - Entwurfsregeln für VDMOS	72
B - In ToSCA verwendete Modelle für temperaturabhängige Größen	73
C - Übersicht der berechneten DIGBT-Varianten	76

1. Einleitung

Im Zuge der technischen Weiterentwicklung von Geräten und Steuerungen in den verschiedensten Bereichen der Industrie, aber auch auf neuen Gebieten wie in Elektroautomobilen oder Windkraftanlagen, kommt es zu einer immer breiteren Anwendung von leistungselektronischen Schaltern auf der Basis von Halbleiterbauelementen.

Beginn dieser Entwicklung war der Bipolar-Junction-Transistor im Jahre 1947.

Im Laufe der Jahre erfolgte die Weiterentwicklung dieses zu Anfang nur beschränkt einsetzbaren Halbleiters zu einem vielseitig verwendbaren und die elektronische Schaltungstechnik in nahezu allen Bereichen dominierenden Bauelement. Lediglich in einigen Anwendungsbereichen, wie zum Beispiel bei Hochvoltanwendungen über 2000V, mußten lange Zeit auch weiterhin auf anderen Wirkprinzipien beruhende Bauelemente wie Thyristoren eingesetzt werden.

Durch Entwicklung von Leistungs-MOSFET bis 400V gelang es, auch in diesen Anwendungsbereichen Halbleiterbauelemente zum Einsatz zu bringen, welche immer schneller und leistungsfähiger wurden.

Mit der Vorstellung des IGBT (Insulated Gate Bipolar Transistor) von Baliga/Adler im Jahre 1982 wurden erstmals die Vorteile der verlustarmen bipolaren mit den leistungslos steuerbaren MOS-Bauelementen vereint [14]. Schon zu dieser Zeit zeichnete sich der IGBT durch geringe Steuerleistungen und Durchlaßverluste aus. Nachteilig waren die zu diesem Zeitpunkt relativ hohen Schaltzeiten sowie die parasitäre pnpn-Struktur, die in bestimmten Einsatzfällen zum Latch-Up des Bauelements führt. Auch die erreichbare Sperrspannung lag unter den mit anderen Bauelementen erreichbaren Werten.

Die positiven Eigenschaften des IGBT führten in den folgenden Jahren zu einer raschen Weiterentwicklung, welche die anfänglichen Nachteile des Bauelementes weitgehend überwanden. Heute befinden sich IGBT der zweiten Generation im Einsatz und die der dritten Generation in der Entwicklung und Überleitung in die Fertigung. Charakteristisch für diese Bauelemente sind geringe Schaltverluste, hohe Durchbruchfestigkeit und hinreichend kurze Schaltzeiten. Möglich wurde dies durch den Einsatz moderner Technologien der Mikroelektronik mit Stegbreiten bis zu 1,5µm und Integrationsdichten bis zu einigen 100.000 Zellen pro Chip. Wichtig für eine kostengünstige Fertigung ist auch hier eine möglichst billige Entwicklung neuer Bauelementetypen und deren schnelle Überführung in die Produktion.

Eine wesentliche Rolle spielt hier der Einsatz effizienter Simulationssysteme, da eine hohe Anzahl an Testserien aus Zeit- und Kostengründen nicht mehr praktikabel ist. In der Simulation ist ebenfalls die Anpassung an spezielle Einsatzfälle möglich, da das universell einsetzbare Leistungsbauelement hier immer weniger im Vordergrund steht.



Abb. 1.1.: In TRIGEN erzeugtes Gitter für ToSCA (Ausschnitt)

Die in dieser Arbeit behandelten Leistungsbauelemente wurden mit dem semiprofessionellen Devicesimulator ToSCA untersucht [1]. Dieses System löst die drei Halbleitergrundgleichungen mit vergleichsweise niedrigem Zeit- und Rechenaufwand auf der Basis finiter Elemente auf Dreiecksgittern. Die verwendeten Dreiecksgitter können mit Hilfe des Gittergenerators TRIGEN sehr gut an das Problem angepaßt werden [2]. Realisierbar sind so auch pn-Übergänge ohne Stufen, was insbesondere für die Berechnung des Sperrverhaltens von Bauelementen wichtig ist (Abb.1.1.). Die Untersuchung technologischer Prozeßabläufe erfolgte mit Hilfe des Simulationssystemes DIOS [3].



Abb. 1.2.: Ausschnitt eines in DIOS generierten Gitters für die Technologiesimulation

Dieser Simulator ermöglicht die Berechnung der schichtverändernden technologischen Prozesse der Mikroelektronik sowie der Dotierungsumverteilung in 2D-Strukturen. DIOS arbeitet mit finiten Elementen auf einem selbstadaptiven Dreiecksgitter, die Anpassung des Gitters an das Problem erfolgt mit Hilfe einiger weniger Steuervariablen und kann während des Ablaufes beliebig geändert werden (Abb.1.2.). Die Auswahl unterschiedlicher Modelle ist entsprechend den Berechnungsergebnissen weitgehend automatisiert, es stehen ein Ein- und Mehrschichtdiffusionsmodul zur Verfügung.

Weitergehende Informationen, Übersichten zu den verwendeten Modellen und Konstanten, Anwendungsmöglichkeiten etc. finden sich in den Nutzerhandbüchern [1] [3] und in [4]-[12].

2. Hochvolt-IGBT

2.1. Aufbau und Funktionsweise von IGBT

IGBT sind Leistungsbauelemente, welche die Vorteile einer leistungslosen Steuerung über ein isoliertes Gate mit den Schalteigenschaften bipolarer Bauelemente verbinden. Grundaufbau und vereinfachtes Ersatzschaltbild sind in Abbildung 2.1. dargestellt.



Abb. 2.1.: Querschnitt und vereinfachtes Ersatzschaltbild eines n-Kanal-IGBT

Die Bezeichnungen der drei Kontakte, Emitter, Collector und Gate, weisen deutlich auf die Eigenschaften des IGBT hin. Der IGBT hat eine Vierschichtstruktur, welche immer einen parasitären Thyristor beinhaltet.

Das Steuerpotential am Gatekontakt steuert den MOSFET T₂ auf, so das ein Elektronenstrom vom Emitter des Transistors (n+) durch den aufgesteuerten Kanal über die Driftzone der Gesamtanordnung zum rückseitigen pn-Übergang fließt. Dieser Strom würde bei einem VDMOS-Transistor einen Spannungsabfall von ungefähr 10V über dem Driftgebiet verursachen. Der Elektronenstrom an diesem beim IGBT zusätzlichen pn-Übergang bewirkt hier eine Injektion eines Löcherstromes in die p-Wanne (entspricht dem Basisgebiet des pnp-Transistors), so das der ausgangsseitige Transistor T₃ öffnet. Die Trägerdichte im Basisgebiet von T₃ steigt aufgrund der Löcherinjektion auf das Zehn- bis Einhundertfache an. Die Steuerung des Ausgangsstroms erfolgt im jetzt vorliegenden Einschaltzustand durch Modulation der Leitfähigkeit, die ortsabhängige Leitfähigkeit ergibt sich wie folgt:

$$\kappa_{n}(x) = q(n\mu_{n} + p\mu_{p})$$

$$\approx qp(\mu_{n} + \mu_{p})$$
[15]

Formel 2.1. Ortsabhängige Leitfähigkeit

Diese grundlegenden Funktion des IGBT wird aber ebenfalls vom Verhalten des parasitären Transistors T₁ bestimmt. Aufgrund der Ladungsneutralität im Driftgebiet und der bestehenden

Hochinjektion ist die Dichte der Elektronen und Löcher annähernd gleich, so das der Stromfluß zum Teil auch von den Löchern übernommen wird. Der den gesperrten pn-Übergang zwischen p-Wanne und Driftzone überwindende Löcherstrom bewegt sich aus der Driftzone kommend unterhalb der n-Wanne nahezu lateral (Kapitel 3.2.) durch die p-Wanne zum Emitterkontakt. Er verursacht dabei einen Spannungsabfall (am Widerstand R_B), der bei entsprechend hohem Strom ausreicht, den Transistor T₁ zu öffnen. Dadurch herrscht in der der Zustand der Basis von T_1 (der p-Wanne) Hochinjektion vor. die Ladungsträgerlebensdauer in diesem Gebiet steigt an und somit auch die Stromverstärkung des npn-Transistors. In diesem Fall kann das Verhalten des Bauelementes nicht mehr von der Steuerelektrode beeinflußt werden, es kommt zum Einrasten des Thyristors.

Es gelten folgende Beziehungen:

$$\gamma_{E,npn} \cdot \alpha_{T,npn} + \gamma_{E,pnp} \cdot \alpha_{T,pnp} \ge 1$$
[16]

Formel 2.2.: Zündbedingung eines Thyristors

$$R_{B} = \frac{1}{q \cdot \int_{Y_{D}} N_{A}(x) \cdot \mu_{p}(x) \cdot dx} \cdot \frac{l_{B}}{l_{Ch}}$$
[15]

Formel 2.3.: Widerstand der p-Wanne

Dem Latch-Up-Verhalten muß bei der Entwicklung neuer IGBT-Typen besonderes Augenmerk geschenkt werden, da der Anwendungsbereich der Bauelemente dadurch wesentlich beschränkt wird. Durch verschiedene Maßnahmen ist es möglich, die Festigkeit eines IGBT gegenüber Latch-Up-Erscheinungen zu sehr hohen Stromdichten zu verschieben, welche in der Praxis z.B. wegen der thermischen Überlastung des Bauelementes nicht auftreten dürfen. Allerdings beeinflussen diese Maßnahmen immer auch andere wichtige Kennwerte des IGBT, so wird im Normalfall ebenfalls das Durchlaßverhalten des Bauelementes verschlechtert, so das es zu einer teilweise immensen Erhöhung der Verluste im Transistor kommt.

Beim Abschalten eines IGBT ist, im Unterschied zum Bipolartransistor, nicht die Möglichkeit gegeben, die in der Basis des pnp-Transistors in Form von Minoritätsladungsträgern gespeichert Ladung durch Anlegen einer negativen Spannung abfließen zu lassen, da diese nicht kontaktiert ist. Dazu kommt, daß die Basis dieses Transistors sehr breit ist. Der Ladungsabbau findet statt, nachdem der Transistor abgeschaltet ist und bereits die volle Sperrspannung aufgenommen hat. Der jetzt fließende Strom wird als Tailstrom bezeichnet und bestimmt weitestgehend die Abschaltverluste. Da es nicht möglich ist, diesen Strom vollständig zu verhindern, muß er so weit als möglich verringert werden. Ein kleiner Emitterwirkungsgrad sowie ein kleiner Transportfaktor tragen zu einer Verringerung des Tailstromes bei. Ein minimierter Tailstrom ist ebenfalls im Sinne einer hohen Latch-Up-Festigkeit vor allem im dynamischen Betrieb notwendig.

Im Sperrfall bricht das Bauelement normalerweise durch Avalanchegeneration durch. Der über die p-Wanne gezogene Gatekontakt kann den kritischen Teil des gesperrten pn-Überganges ausreichend schützen und ermöglicht damit eine entsprechend hohe Sperrspannung, welche im wesentlichen von der Länge der Driftzone und den Dotierungsverläufen abhängig ist. Der Avalanchedurchbruch findet bei entsprechend hoher angelegter Sperrspannung an der Verrundung der p-Wanne der Einzelzelle statt. Eine großen Einfluß auf das Avalancheverhalten des Gesamtbauelementes mit seiner Vielzahl von Einzelzellen hat die Gestaltung des Randes, da hier die Sperrspannung auch lateral gehalten werden muß [13].

2.2. Vertikale IGBT

Mittlerweile gibt es eine große Zahl unterschiedlicher IGBT-Bauarten. Die größte IGBT-Familie ist derzeit die der vertikalen IGBT. Prinzipiell lassen sich vom Aufbau her grundsätzlich zwei Arten von vertikalen IGBT unterscheiden (Abb. 2.2.):

1. Punch-Through-IGBT (PT-IGBT):

Bei diesen Typen wird auf ein hochdotiertes p-Substrat eine hochdotierte, dünne n-Bufferschicht aufgebracht und darauf anschließend eine gering dotierte, verhältnismäßig dicke n-Schicht abgeschieden. Stärke und Dotierung dieser Schicht sind entscheidend für die Spannungsfestigkeit des Bauelements, während durch die Bufferschicht der Löcherstrom in das Substrat verringert wird (der Emitterwirkungsgrad des pnp-Transistors wird verschlechtert)

2. Non-Punch-Through-IGBT (NPT-IGBT):



Abb. 2.2.: Punch-Through- und Non-Punch-Through-IGBT

Zur Herstellung dieser Typen verwendet man niedrig dotierte und vergleichsweise dünne Substrate, in welche von der Rückseite eine p-Dotierung eingebracht wird. Das Substrat wirkt hier als Driftzone, aufgrund der Substratdicke (ca 250µm) kann die Bufferschicht entfallen. Die gesamte Sperrspannung fällt also über dem Substrat ab, diese Typen werden ausschließlich in IGBT ab 1000V Sperrspannung eingesetzt. NPT-IGBT weisen aufgrund des unterschiedlichen Tailstromverhaltens ein wesentlich günstigeres Schaltverhalten auf als PT-IGBT. Der Tailstrom ist bei NPT zunächst für kurze Zeit recht hoch, wohingegen der danach fließende restliche Strom beim NPT-IGBT geringer als beim PT-IGBT ist, dafür aber länger andauert. Entscheidend ist, daß der Betrag des Stromes kleiner ist, was die Gefahr eines dynamischen Latch-Up wesentlich verringert. Beiden Typen gemeinsam ist, daß die Ausgangscharakteristik durch die Leitfähigkeitsmodulation vor allem im an der Oberfläche befindlichen Teil des IGBT bestimmt wird [17]. NPT-IGBT weisen zudem eine grundsätzlich bessere Kurzschlußfestigkeit auf. Der Grund dafür liegt im unterschiedlichen Verhältnis von Löcher- und Elektronenstrom begründet. Beim PT-IGBT liegt dieses Verhältnis um 0.7, im Hochfeldbereich (v_{Satn}≈2v_{Satp}) überwiegt daher die Löcherdichte [18]. Es ergibt sich ein Gradient der elektrischen Feldstärke, der höher ist als im stromlosen Zustand. Dadurch wird der IGBT im Kurzschlußfall immer weiter aufgeregelt, bis es zur thermischen Zerstörung kommt. Beim NPT-IGBT ist der Emitterwirkungsgrad sehr niedrig eingestellt, wodurch auch im Hochfeldbereich die Elektronendichte überwiegt. Der Verlauf der elektrischen Feldstärke ist hier flacher als im stromlosen Zustand. Dies bedingt ein wesentlich robusteres Kurzschlußverhalten im Vergleich zu PT-IGBT, da sich ein NPT-IGBT selbst herunterregelt [18]. Trotzdem kommt es auch hier schließlich zur thermischen Zerstörung des Bauelementes, da es durch den immer noch hohen Stromfluß im Kurzschlußfall zur Erwärmung des IGBT und schließlich zum Zünden des parasitären Thyristors kommt.

Am Beginn der Entwicklung optimierter IGBT-Typen standen zunächst Untersuchungen über die unterschiedlichen Eigenschaften von p- und n-Kanal-IGBT [19]. Hier wurde festgestellt, daß die Sättigungsspannung eines p-Kanal-IGBT niedriger als die von n-Kanal-Typen ist. Grund dafür ist die höhere Beweglichkeit der Minoritätsladungsträger im npn-Transistor des p-Kanal-IGBT im Vergleich zur Beweglichkeit im pnp-Transistor des n-Kanal-Typs. Dies führt zu einem hohen Anstieg der modulierten Basisleitfähigkeit im npn-Transistor des p-Kanal-IGBT und kompensiert so die aufgrund der schlechteren Löcherbeweglichkeit geringere Leitfähigkeit im Kanal. Nach einer Verringerung der Ladungsträgerlebensdauer durch Elektronenbeschuß ist jedoch die Sättigungsspannung des n-Kanal-IGBT geringer. Problematisch beim p-Kanal-IGBT ist das Erreichen einer guten Latch-Up-Festigkeit aufgrund der höheren Ladungsträgerlebensdauer im npn-Transistor, was zu Veränderungen im Design des Bauelementes führt. Ein weiteres Problem beim p-Kanal-IGBT ist das Erreichen einer hohen Sperrspannungsfestigkeit, einmal aufgrund der Eigenschaften des npn-Transistors, zum anderen durch die kompliziertere Passivierung der p-Substrat-Oberfläche gegenüber positiven Ladungen und Ionen im Oxid. Daher werden nahezu ausschließlich n-Kanal-IGBT entwickelt und eingesetzt.

Die Unterdrückung des die Anwendung der IGBT wesentlich einschränkenden Latch-Up ist ein weiteres Feld vieler Verbesserungen.

In [20] beschrieben wird das heute am weitesten verbreitete Verfahren, welches eine tiefe p⁺-Implantation nutzt (siehe auch Abb. 2.1.) und zu einer wesentlichen Verbesserung des Latch-Up-Verhaltens führt. Grund dafür ist die Herabsetzung des Basiswiderstandes des npn-Transistors, so das ein höherer Strom durch das p-Gebiet fließen muß, bevor der parasitäre npn-Transistor einschaltet. Eine Verringerung der Gefahr eines Latch-Up ist ebenfalls durch eine Herabsetzung der Ladungsträgerlebensdauer möglich, effektiver ist jedoch aufgrund der sonst ansteigenden Sättigungsspannung eine geringere laterale Ausdehnung des n⁺-Gebietes [21].





Abb. 2.3.: Non-Latch-Up-IGBT mit Bypass

In einem anderen Verfahren wird eines der beiden n⁺-Gebiete weggelassen und so ein Bypass für Löcher erzeugt [22] (Abb.2.3.). Hiermit wird eine Reduzierung des p-Basiswiderstandes erreicht, die Wirkung ist somit einem Shuntwiderstand des parasitären npn-Transistors gleichzusetzen. Es kommt hier jedoch zu einem merkbaren Anstieg der Sättigungsspannung im Durchlaßfall aufgrund der Reduzierung der Kanalweite.

In [23] wird eine weitere Struktur beschrieben, welche eine flache, zusätzlich implantierte p-Wanne nutzt, die mit dem Emitter verbunden ist und als Diverter bezeichnet wird (Abb. 2.4.).



Abb. 2.4.: Non-Latch-Up-IGBT mit Diverter

Der Diverter arbeitet als Collector eines pnp-Transistors parallel zum IGBT und erhöht die Latch-Up-Festigkeit, indem er einen Teil des Löcherstroms abzieht, der sonst in die p-Wanne fließen würde. Gleichzeitig wird die Gefahr eines dynamischen Avalanche verringert, da der Diverter ähnlich einem Guard-Ring zu einer Linearisierung des Feldverlaufs führt. Erreicht wurden Stromdichten bis zu 1100 A/cm², ohne das es zum Latch-Up kam. Nachteilig ist allerdings auch hier die Erhöhung der Verluste im Bauelement.

Eine weitere Variante stellt der Einsatz von IGBT mit einem doppelt implantierten Emitter dar [24]. Dieses Bauelement weist in Bezug zu Standardtypen stark verringerte Wannenabmessungen auf (p-Wanne ca. 3μ m statt 4-6 μ m, n⁺-Gebiet ca. 0.4 μ m statt 0.9 μ m), es werden Kanallängen von ca. 2 μ m realisiert. Dies führt normalerweise zu einer starken Verschlechterung des Latch-Up-, Avalanche- und Kurzschlußverhaltens des IGBT. Das n⁺-Gebiet muß hier so bemessen sein, daß einerseits im Kurzschlußfall eine Strombegrenzung auftritt, andererseits jedoch die Schwellspannung gering bleibt sowie ein günstiges Latch-Up-Verhalten erreicht wird. Dies wird hier mit einer zweiten n-Implantation an einem Spacer gelöst, was im Zusammenwirken mit der ersten Implantation zu einem Abfall der Dotierung im n-Gebiet führt (Abb. 2.5.). Es lassen sich sehr hohe Latchstromdichten sowie äußerst geringe Einschaltverluste erreichen. Dadurch wird eine Minimierung der lateralen Abmessungen des Bauelementes ermöglicht, mit einer 3 μ m-Technologie erreicht man einem Abstand von 8 μ m zwischen zwei Gate-Kontakten. Dieses Bauelement wird ausführlicher im Kapitel 4 behandelt.



Abb. 2.5.: Doppelt Implantierter NPT-IGBT (DIGBT) im Vergleich zum normalen NPT-IGBT Realisierbar sind mit dieser Bauelementevariante sowohl 600V-PT-IGBT als auch NPT-IGBT mit Sperrspannungen von 1200V und mehr.

Ein weiterer wichtiger Punkt bei der Entwicklung von NPT-IGBT ist die Gestaltung des rückseitigen Collectors. Im Normalfall wird dieses p-Gebiet durch eine Rückseiten implantation eingebracht, der pn-Übergang liegt dabei ungefähr 500nm tief im Substrat. Eine andere Variante ist das Einbringen von Collectorshorts (CS), so das sich auf der Rückseite nund p-Gebiete abwechseln [25]. Der Hauptvorteil dieser CS-IGBT liegt in einer kürzeren Ausschaltzeit des Bauelements vor allem bei hohen Chiptemperaturen.

2.3. Andere IGBT-Entwicklungsvarianten

2.3.1. Laterale IGBT

Relativ kurz nach der Entwicklung der ersten IGBT wurden die ersten Varianten mit lateraler Anordnung vorgestellt [28], [29], [30], [31]. LIGBT werden oft in Power-IC's als Ausgangstreiber eingesetzt, wofür sie aufgrund ihres niedrigen R_{on}, ihres hohen Eingangswiderstandes und guten Integrierbarkeit besonders geeignet sind. Im Vergleich zu lateralen DMOS-Transistoren sinken die Verluste um mehr als eine Größenordnung. Üblich sind Sperrspannungen bis 600V und Ausgangsströme bis zu 5A. Problematisch ist, wie auch beim vertikalen IGBT, die Gefahr des Zündens der parasitären Thyristorstruktur. Abbildung 2.6. zeigt einen möglichen Aufbau eines lateralen IGBT mit einem zusätzlichen p⁺-Gebiet, dem Sinker, sowie einem zusätzlichen n⁺-Short am Collectorgebiet [34].



Abb. 2.6.: Lateraler IGBT

Eine Verbesserung der Bauelementeeigenschaften kann durch verschiedene Modifikationen erreicht werden. Zur besseren Erklärung ist das Ersatzschaltbild lateraler IGBT in Abbildung 2.7. angegeben. Ein schnelleres Schaltverhalten wird durch den n⁺-Short am Collector ermöglicht (Abb.2.6.), welcher die Injektion von Löchern in der Ausschaltphase verringert [32], [34].



Abb. 2.7.: Ersatzschaltbild eines lateralen IGBT

Zur Verbesserung des Latch-Up-Verhaltens dient hier der Sinker, ein zusätzliches, hoch dotiertes p-Gebiet. Dadurch erreicht man eine Verringerung des Widerstandes der p-Basis des npn-Transistors. Dies erhöht die erforderliche laterale Stromstärke, bei welcher der Übergang zwischen p-Basis und n⁺-Emitter leitend wird [36].

Eine andere Variante, den Latch-Up des LIGBT zu höheren Stromdichten hin zu verschieben, ist der Einsatz eines p⁺-Substrates, das niedrig dotierte p-Gebiet muß dann epitaktisch abgeschieden werden. Dadurch wird der über T₁ und R₄ in das Substrat direkt vertikal abfließende Strom vergrößert (R₄ wird verringert), proportional dazu verringert sich der in die Basis des parasitären, vertikalen npn-Transistors T₁ (unterhalb des Emitterkontakts des Gesamtbauelements) fließende Strom. Bei der Wahl der Stärke der p-Epitaxieschicht ist hier die geforderte Sperrspannung zu berücksichtigen. Gleichzeitig erhöht sich die Stromdichte im Einschaltzustand [33].

Eine weitere Möglichkeit ist das "Vorbeiführen" des Stromes durch ein vergrabenes p⁺⁻ Gebiet unterhalb des Emitterkontakts im niedriger dotierten Substrat, was einer Verringerung von R₅ entspricht. So fließt ein größerer Teil des Stromes über das vergrabene Gebiet anstelle der Basis ab. Schließlich lassen sich noch p⁺-Gebiete im Wechsel mit den n⁺-Emittergebieten in z-Richtung einbringen, die sogenannten Emittershorts, welche ebenfalls eine Verringerung von R₅ bewirken [33], [34], [35], [36].

2.3.2. Trench-IGBT

Der Trench-IGBT ist eine relativ neue Variante des IGBT. Gekennzeichnet ist er durch einen senkrecht in das Substrat geätzten Graben, den Trench.

Das Bauelement besitzt im Vergleich zu anderen IGBT Vorteile, es ermöglicht kleinere Zellweiten aufgrund der geringeren Sättigungsspannung von ca. 1.4V und den erreichbaren höheren Stromdichten. Dazu weisen Trench-IGBT ein schnelleres Schaltverhalten auf und zeigen wesentlich höhere Latchstromdichten als übliche vertikale Bauelemente [37]. Vorteilhaft ist ebenfalls das Verschwinden des parasitären Junction-FET.

Andererseits setzt die Herstellung von Trench-IGBT einen hohen technologischen Stand voraus, ist es doch eine Hochtechnologie der Mikroelektronik, die zuerst für die Herstellung von hochintegrierten Speicher-IC's eingesetzt wurde. Insbesondere die Ätzung des Trenchgrabens (1-3µm breit, 4-10µm tief) und seine Verfüllung erfordern einen hohen Aufwand, da hiervon die Eigenschaften des Bauelements in hohem Maße abhängen. Hierbei werden spezielle Technologien wie die RIE-Technologie eingesetzt. Der hohe Herstellungsaufwand hat eine weite Verbreitung der Trench-IGBT bisher verhindert [37], [38].



Abb. 2.8.: Trench-IGBT mit Kontaktierung an der Oberfläche

Auch bei Trench-IGBT gibt es unterschiedliche Bauarten. In [39] wird ein voll integrierbarer Transistor vorgeschlagen, der vollständig an der Oberseite kontaktiert ist (Abb.2.8.). Dadurch kommt es jedoch zu einer starken Minderung der Hauptvorteile des Trench-IGBT. Der Grund dafür liegt in der ungünstigen Geometrie eines solchen Bauelementes. Der Strom fließt nun nicht mehr ausschließlich vertikal durch das Substrat, sondern muß um den Trench herumfließen, um zum auf der Oberfläche befindlichen Gegenkontakt zu gelangen. Dies verschlechtert vor allem die Latch-Up- und die Durchbruchfestigkeit entscheidend. Vorteile bringt diese Bauart aufgrund der vollständigen Kontaktierung an der Oberfläche beim Einsatz in integrierten Schaltungen.



Abb. 2.9.: Trench-IGBT

Abbildung 2.9. zeigt den Aufbau eines Trench-IGBT, wie er in [40] vorgeschlagen wurde. Als Optimum für die Zellweite ergab sich hierbei 6µm, es wurde eine Latchstromdichte von 2700A/cm² erreicht. Bei einer Stromdichte von 200A/cm² ergab sich ein Spannungsabfall von 1.2V über der für 600V Sperrspannung ausgelegten Zelle. Der in [37] vorgeschlagene IGBT weist eine dreidimensionale Struktur auf (Abbildung 2.10.). In diesem Bauelement wurde die Idealstruktur "IGBT im Einschaltzustand = Pin-Diode in Reihe mit einem MOSFET" nahezu vollständig realisiert, welche am Anfang der IGBT-Entwicklung als Ziel angegeben wurde [41].



Abb. 2.10.: 3D-Trench-IGBT

Die Trenchgräben weisen hier eine Weite von 1µm sowie einen Abstand von 4µm auf. Realisiert wurde ein 600V 50A-IGBT mit sehr guten Eigenschaften. Für die 2D-Simulation ist es in diesem Fall erforderlich, aufgrund der dreidimensionalen Bauelementestruktur zwei Modelle zu behandeln: den eigentlichen Trench-IGBT und die Diode. Die mit Trench-IGBT in der Zukunft durchaus erreichbaren Kennwerte verdeutlichen Simulationen für 1200V- und 4500V-Bauelemente [37]. Für eine ausführlichere Behandlung solcher Bauelemente ist, trotz größeren Aufwands, der Einsatz von 3D-Simulationstools sinnvoll.

2.3.3. Schottky-IGBT

Eine Möglichkeit, Technologie und Aufbau von IGBT sowie deren laterale Abmessungen zu verringern, ist der Einsatz eines Schottky-Kontakts zur Emitterkontaktierung. Hierbei entfallen immerhin zwei Schritte der Fotolithografie und zwei Diffusionsprozesse, da ebenfalls die unter dem Emitterkontakt befindlichen hochdotierten n- bzw. p-Zonen entfallen können [42]. Der Schottky-Kontakt übernimmt hier die Aufgabe des normalerweise vorhandenen pn-Übergangs. Dadurch dürfte sich der Einschaltwiderstand verringern, außerdem enthält die Struktur keinen parasitären npn-Transistor mehr, was sich insbesondere auf das Latch-Up-Verhalten vorteilhaft auswirkt.

Diplomarbeit

Als Materialien für die direkte Kontaktierung werden Silizide verwendet, insbesondere ist dafür Platinsilizid geeignet [42]. Abbildung 2.11. zeigt einen vertikalen IGBT mit Schottky-Kontaktierung im Vergleich zu einer Standardzelle.



Abb. 2.11.: Aufbau eines Schottky-IGBT im Vergleich zu einem Standard-NPT-IGBT

2.4. Zellenauswahl

Nach der Vorstellung der existierenden Vielzahl von IGBT soll hier eine Entscheidung für zu untersuchende Varianten getroffen werden.

Aufgrund der zur Verfügung stehenden, erprobten Technologie für VDMOS-Transistoren und den zu erreichenden Sperrspannungen von 1200V ergibt sich die Erfordernis, vertikale Bauelemente mit einer NPT-Struktur zu untersuchen und zu optimieren.

Es sollten hierbei möglichst gute Kennwerte bezüglich Latch-Up-Festigkeit, Einschaltverlusten, Platzbedarf und Schaltgeschwindigkeit erreicht werden.

1200V-NPT-IGBT: Diese Bauelemente mit einer vertikalen Struktur haben an der Oberfläche die gleiche Grundstruktur wie VDMOS-Transistoren, die Technologie ist also weitestgehend ohne große Änderungen übernehmbar. Aus der Inversdiode des VDMOS-Transistors wird eine vergrabene p⁺-Schicht, wodurch die Latch-Up-Festigkeit verbessert wird. Zusätzlich ist eine Rückseitenimplantation sowie ein zusätzlicher Diffusionsschritt für die Herstellung des rückseitigen pn-Übergangs notwendig. Erforderlich ist die Optimierung der Zellweite sowie der Wannengeometrien, um gute Bauelementeeigenschaften zu erreichen. Interessant ist ebenfalls der Einfluß der Ladungsträgerlebensdauer auf die Parameter des IGBT.

Doppelt Implantierte IGBT: Diese Bauelemente weisen sehr gute Eigenschaften auf, erfordern aber einige Änderungen im Technologieablauf. Aufgrund der geringen Wannentiefen haben Hochtemperaturprozesse einen großen Einfluß auf die Struktur und damit auch auf die zu erreichenden Parameter. Erforderlich ist hier die Kenntnis über die zu treffenden Änderungen am Technologieablauf.

3. Optimierung von 1200V-NPT-IGBT-Zellen

3.1. Allgemeine Design-Regeln

Die zur Verfügung stehende Technologie ist eine adaptierte VDMOS-Technologie, welche minimale Stegbreiten von 3µm und einen minimalen Abstand von Polystegen zu Kontaktlöchern von 2.5µm erlaubt. Kontaktlöcher müssen eine Mindestweite von 3µm aufweisen. Dies sind die wichtigsten Parameter für die Zelloptimierung. Im Prozeß erfolgt eine Implantation eines tiefen p-Gebietes, welche die Latch-Up-Festigkeit erhöht. Dieser Prozeßschritt ist nicht selbstpositionierend, der Positionierfehler von 1.5µm muß also beachtet werden. Gleiches gilt für die Freilegung des Kontaktlochs. Abbildung 3.1. veranschaulicht die zu beachtenden Designparameter. Dazu kommen aber noch eine Reihe weiterer zu beachtender Entwurfsregeln, deren Aufstellung im Anhang zu finden ist.



Abb. 3.1.: Wichtige technologieabhängige Abstandsmaße an der Oberfläche der IGBT-Zelle

Im folgenden ist der wesentliche technologische Ablauf für die Herstellung des IGBT aufgeführt [49]:

- 1. Fotochemie Guardring
- 2. Fotochemie A: Feldoxydation
- 3. Gatoxydation
- 4. Fotochemie B: Poly-Strukturierung
- 5. Fotochemie tiefes p-Gebiet
- 6. Bor-Implantation tiefes p-Gebiet
- 7. Bor-Implantation p-Wanne
- 8. Temperung
- 9. Fotochemie n+-Gebiet
- 10. Phosphor-Implantation

- 11. Fotochemie p+-Gebiet
- 12. Bor-Implantation
- 13. Temperung
- 14. p-Rückseitenimplantation
- 15. Temperung
- 16. Fotochemie C: Freilegen Kontaktgebiete
- 17. Metallisierung
- 18. Fotochemie D: Metallisierung
- 19. Passivierung
- 20. Fotochemie E: Anschlußpads

3.2. Optimierung der Zellweite

3.2.1. Vorgehensweise

Als erste Aufgabe zur Optimierung der IGBT-Zellen ergab sich die Variation der Zellweite. Untersucht wurde hierbei eine IGBT-Halbzelle, wo die Weite der Driftzone verändert wurde, die Wannengeometrie hingegen blieb unverändert und entspricht den mit der Technologie erreichbaren minimalen Abmessungen (siehe Abb. 3.1.). Dies ist möglich, da der Hauptanteil des Stromes, der Elektronenstrom, vom Emitterkontakt über die n⁺-Wanne zunächst lateral durch den Kanal und anschließend vertikal durch das Driftgebiet zum Collector fließt. Der Löcherstrom, welcher entsprechend den Simulationsergebnissen ca. ein Drittel der Stärke des Elektronenstroms erreicht, fließt hingegen vom Collector kommend durch das Driftgebiet in die p-Wanne zum mit dem Emitter kurzgeschlossenen Bulkkontakt. Der in die Wanne fließende Löcherstrom hat sowohl laterale als auch vertikale Stromanteile (Abb.3.2.).

								T					1
1111		_	_	-	-	_	-	T	~	~	-	_	
11111	/	_	-	-	-	-	-	-	5	1	1	2	1
11111	/		/	/	/	1	1	1	1	1	1	1	7
11111	1	1	1	1	1	1	1	1	1	1	1	1	1
11111	1	1	1	1	1	1	1	1	1	1	1	1	1 1
1 1 1 1 1	1	r.	1	1	1	1	1	1	1	T.	T.	Ť.	1 1
1 1 1 1 1	1	1	1	1	1	î	Ť	Î	1	1	1	Ť.	1
<u>t t t t t</u>	1	1	1	1	1	1	1	1	1	1	1	1	1 1
I Isolevels.	1	1	1	1	T	1	1	1	1	1	1	1	1 1
10 25	T	Ţ.	Ţ	Ţ.,	1	1	1	1	1	1	1	1	1
T 10 - 25	T	Ţ.	T	. T.	T	T	1	1	1	1	1	<u>.</u>	T 1
! 25 - 35	T	T	T	. T.	. T.	T	1	T.	1	1	Ţ	T.	T 1
35 - 70	T	Ţ	T	T	T	T	1	T.	T	1	T	T	
1 55 - 70	I	I.	I	Ţ	Ţ	Ţ	Ţ	I.	T	T.	Ţ	I.	
1 70 - 200	1	T.	T.	1	1	T.	1	T.	1	1	T.	1	
· 200	1	1	1	1	1	1	1	1	1	1	1	1	
		1	1	1	1	1	1	1	1	1	1	1	1

-	-	-	-	~	-	_	-	-	-	-	-		_	-	-	-	*
1	1	/	-	~	-	-	-	-	-	1	1				<u> </u>	-	
1	1	1	1	1	1	1	1	1	1	1	1						
1	1	1	1	1	1	1	1	1	1	1	1					~	
1	1	1	1	1	1	1	1	1	1	1	\mathbf{N}						-
1	1	1	1	1	1	1	1	1	1	1	\sim	\sim					
1	1	1	1	1	1	1	1	1	1	1	\sim	\sim					
1	1	1	1	1	1	1	1	1	1	×.	\sim	\sim					
1	1	1	1	+	+	1	1	1	ľ	1	1		-				
1	1	1	1	1	1	1	1	1	1	1	~	\sim	\sim				
1	Is	ole	vel	c٠	1	1	1	1	1	×.	\sim	\sim	\sim				
1	15		ver	3.	1	1	1	1	1	1	1	1	\sim				
1	50				1	1	1	1	1	1	\sim	\sim	1	\mathcal{N}_{i}			
Ŧ.	7() .	- 9)()	1	1	1	1	1	1	1	1	1	1			
1	00)	11	\cap	1	1	1	1	1	1	1	1	1	1	1		
1	90	, .	- 11	0	1	ľ	1	1	1	1	1	1	1	1	1		
1	11	0 -	- 15	50	1	1	1	1	1	1	1	1	1	1	1	1	1
1	14	50			1	1	1	1	1	1	1	1	1	1	1	1	1
1	1.		•••		1	1	1	1	1	1	1	1	1	1	1	1	1
	- 1	-	- 1	- 1	- 1	- 1-	-	-	- 1	-		-	-	-	-	-	-

Abb.3.2.: Löcher- und Elektronenstrom im IGBT

Die Stärke der Driftzone, welche die Sperrspannung von 1200V im ausgeschalteten Zustand aufnehmen muß, wurde mit 250µm gewählt. Die Dotierungshöhe wurde mit 6*10¹³cm⁻³ festgelegt. Diese Dotierung ist einerseits ausreichend hoch, um einen Punch-Through auszuschließen, und andererseits noch hinreichend gering, um einen Avalanche-Durchbruch bei der geforderten Sperrspannung auszuschließen [7]. Wichtig ist ebenfalls die Beachtung der Verluste im IGBT (Abb.3.3.), insbesondere die im Kanalgebiet.

Zur Simulation der Bauelemente wird der 2D-Devicesimulator ToSCA verwendet [1]. Es wird, um den Rechenzeit- und Speicheraufwand zu verringern, grundsätzlich eine Halbzelle betrachtet. Der Begriff "Zellweite w" bezeichnet in dieser Arbeit also immer die gesamte laterale Ausdehnung einer IGBT-Halbzelle! Die Geometrie der Halbzelle und ihre Abmessungen zeigt Abbildung 3.4. . Der Simulator bietet zwei Möglichkeiten, die dritte Dimension des Bauelementes zu berücksichtigen.



Abb.3.3.: Verluste im IGBT



Abb.3.4.: Abmessungen der simulierten Halbzelle

Die erste Variante ist die Angabe einer Ausdehnung in z-Richtung. Um für den Vergleich der Ergebnisse eine Gesamtfläche des Bauelementes von 1cm² zu erreichen (auf diesen Wert werden auch alle Ströme etc. bezogen), würde sich in diesem Fall eine Linearzelle ergeben.

Aufgrund der vorhandenen Erfahrungen bei der Arbeit mit dem Simulationssystem, vor allem in Bezug auf numerische Stabilität, ist dies die bei allen weiteren Berechnungen in dieser Arbeit angewandte Methode. Hierbei wird der parasitäre JFET allerdings nicht vollständig berücksichtigt. Dies liegt in der ausschließlich zweidimensionalen Modellierung und dem anschließenden Strecken des Bauelementes auf die gewünschte Weite. Für eine vollständige Beschreibung des parasitären JFET müßte die komplette, dreidimensionale Zelle aufgrund der nur dann beschreibbaren Effekte modelliert werden.

Die zweite Variante besteht in einer zylindersymmetrischen Betrachtung des Bauelements. Hier wird die Halbzelle einmal um den Ursprung der y-Koordinate gedreht, so das eine zylindrische Zelle entsteht. Um zu vergleichbaren Ergebnissen zu gelangen, muß die Zahl der auf einer Fläche von 1cm² unterbringbaren (quadratischen) Zellen bestimmt werden (Abb.3.5.). Der Durchmesser einer Zylinderzelle entspricht der doppelten Halbzellweite w.



Abb.3.5.: Bestimmung der Zellanzahl

Formel 3.1.: Zellanzahl

Die Zellweite ist im Bereich von 12-30 μ m variiert worden. Optimierungskriterium sind eine minimale Sättigungsspannung U_{CE} und ein möglichst kleiner Einschaltwiderstand R_{on}. Beide Parameter sind bei drei Stromdichten (I=50, 100, 200A/cm²) bestimmt worden. Der Einschaltwiderstand entspricht dem differentiellen Widerstand am jeweiligen Arbeitspunkt.

Tabelle 3.1. zeigt die sich für die entsprechende Weite ergebende Zellenanzahl sowie den jeweilig für die zu erreichende Gesamtstromdichte notwendigen Strom je Zelle.

Die dritte Variante ergibt sich der Forderung, aus bei Verwendung des zylindersymmetrischen Verfahrens zu real vergleichbaren Ergebnissen zu gelangen. Daher sollte die Grundfläche der zylindrischen IGBT-Zelle mit der Fläche der quadratischen Zelle übereinstimmen. Damit ist gewährleistet, daß die Stromdichte innerhalb einer Zelle bei beiden Verfahren gleich ist. Das wird erreicht durch die Wahl eines größeren Radius in der Weise, daß die Fläche der runden Zelle der der realen viereckigen Zelle entspricht.

		äqu] für	
Halbzellweite w [µm]	Zellanzahl n	I=50A/cm ²	I=100A/cm ²	I=200A/cm ²
12	173611.1	2.88*10-04	5.76*10-04	1.152*10-03
14	127551	3.92*10-04	7.84*10-04	1.568*10-03
16	97656.25	5.121*10-04	1.024*10-03	2.048*10-03
18	77160.5	6.48*10-04	1.296*10-03	2.592*10-03
20	62500	8.0*10-04	1.6*10-03	3.2*10-03
22	51652.9	9.68*10-04	1.936*10 ⁻⁰³	3.872*10-03
24	43402.78	1.152*10-03	2.304*10-03	4.608*10-03
26 36982.2		1.352*10-03	2.704*10-03	5.408*10-03
28	31887.76	1.568*10-03	3.136*10-03	6.272*10-03
30	27777.78	1.8*10-03	3.6*10-03	7.2*10-03

Tab.3.1.: Zellanzahl und Zellstrom in Abhängigkeit von der Halbzellweite

3.2.2. Ergebnisse der Zellweitenoptimierung

Die Dotierungen werden für die Optimierungsaufgaben als Gaußprofile eingegeben, wodurch eine hohe Flexibilität bei der Variation von Parametern gegeben ist. Diese Profile basieren auf erfolgreich durchgeführten Berechnungen für VDMOS-Transistoren. Tabelle 3.2. zeigt die verwendeten Daten für die Gaußprofile.

	Maskenrand	Maskenrand	maximale	y-Charakteristik	Unterdiffusion	y-Peak
	links [µm]	rechts [µm]	Dotierung [cm-3]	[µm]	links/rechts [µm]	[µm]
p-Wanne	0	5.5	3.5*1017	1.35	1.05	0
p+-Emitter	0	1.5	3.0*1019	0.34	0.32	0
tiefes p-Gebiet	0	1.5	3.5*1018	1.4	0.9	0
n+-Wanne	1.5	5.5	4.0*10 ¹⁹	0.4	0.27	0
Substrat	0	W	6.0*1013	-	-	0 -250
Rückseite						
(p-Collector)	0	W	5.0*1017	0.1	-	249.75

Tab.3.2.: Daten für Gaußprofile

Dargestellt sind zunächst die Ausgangskennlinien von Transistoren verschiedener Weite (Abb.3.6.), berechnet für eine Linearzelle (Verfahren 1). Deutlich zu erkennen ist zum einen der Einfluß des parasitären JFET bei geringen Zellweiten (w=12 μ m) sowie der ansonsten mit steigender Zellweite abnehmende Sättigungsstrom.

In Tabelle 3.3. sind für die drei unterschiedlichen Varianten und die jeweiligen Halbzellweiten die berechneten Werte für die Einschaltwiderstände und die Sättigungsspannungen aufgeführt.



Abb. 3.6.: Ausgangskennlinien von IGBT verschiedener Weiten

		Halbzellweite [µm]									
Variante	Parameter	w=12	w=14	w=16	w=18	w=20	w=22	w=24	w=26	w=28	w=30
1	Ron(50A) [Ω]	0.058	0.0249	0.0221	0.0209	0.020	0.0193	0.0192	0.0188	0.0193	0.0198
1	R _{on} (100A) [Ω]	0.0526	0.0214	0.0174	0.0166	0.0157	0.0161	0.0166	0.0189	0.0194	0.0196
1	R _{on} (200A) [Ω]	0.0735	0.0234	0.0210	0.0201	0.0187	0.0248	0.0266	0.0297	0.0374	0.078
1	U _{CE} (50A) [V]	5.43	3.442	2.831	2.76	2.60	2.503	2.443	2.355	2.366	2.37
1	U _{CE} (100A) [V]	8.124	4.654	3.799	3.677	3.489	3.376	3.329	3.283	3.394	3.407
1	U _{CE} (200A) [V]	14.361	6.788	5.675	5.549	5.419	5.582	5.762	5.831	6.148	6.611
2	R _{on} (50A) [Ω]	0.04	0.0247	0.0202	0.0154	0.0212	0.0242	0.0277	0.032	-	-
2	R _{on} (100A) [Ω]	0.0268	0.0192	0.0183	0.0202	0.0249	0.0394	0.056	0.0114	-	-
2	R _{on} (200A) [Ω]	0.0255	0.0235	0.0295	0.0747	0.694	-	-	-	-	-
2	U _{CE} (50A) [V]	4.32	3.24	2.72	2.65	2.55	2.55	2.64	2.75	-	-
2	U _{CE} (100A) [V]	5.92	4.29	3.67	3.79	3.93	4.34	4.9	6.2	-	-
2	U _{CE} (200A) [V]	8.44	6.47	6.23	7.2	15.6	-	-	-	-	-
3	Ron(50A) [Ω]	0.0238	0.0189	0.0166	0.0171	0.0194	0.022	0.0381	0.0455	-	-
3	R _{on} (100A) [Ω]	0.0191	0.0149	0.0162	0.0194	0.0247	0.0371	0.0547	0.132	-	-
3	R _{on} (200A) [Ω]	0.0149	0.0165	0.0242	0.0722	0.874	-	-	-	-	-
3	U _{CE} (50A) [V]	3.68	2.64	2.31	2.31	2.29	2.31	2.43	2.57	-	-
3	U _{CE} (100A) [V]	4.05	2.45	3.1	3.31	3.57	4.02	4.6	6.0	-	-
3	U _{CE} (200A) [V]	5.54	5.18	5.3	6.34	16.8	-	-	-		-



Tabelle 3.3.: Berechnete Kennwerte für die verschiedenen Rechenverfahren in Abhängigkeit von der Weite

Abb. 3.7.: Einschaltwiderstand und Sättigungsspannung in Abhängigkeit von der Zellweite (Verfahren 1)



Abb. 3.8.: Einschaltwiderstand und Sättigungsspannung in Abhängigkeit von der Zellweite (Verfahren 2)



Abb. 3.9.: Einschaltwiderstand und Sättigungsspannung in Abhängigkeit von der Zellweite (Verfahren 3)

Die Abbildungen 3.7. bis 3.9. zeigen die Abhängigkeit des Einschaltwiderstandes R_{on} und der Sättigungsspannung U_{CE} von der Zellweite für die drei unterschiedlichen Berechnungsverfahren. Deutlich erkennbar sind die Unterschiede zwischen Verfahren 1, welches eine langgestreckte Zelle behandelt, sowie den Verfahren 2 und 3 mit einer zylindersymmetrischen Zelle. Beim Vergleich der Kurven für den Einschaltwiderstand ergibt sich eine Verschiebung des Minimums zu kleineren Zellweiten bei den zylindersymmetrischen Verfahren sowie eine starke Stauchung der Kurve. Ähnlich verhalten sich die Berechnungsergebnisse für die Sättigungsspannung. Ursache ist die unterschiedliche Beschreibung des parasitären JFET, welcher sich unterhalb des Emittergebietes in die Driftzone ausdehnt und mit steigender Collectorspannung zunehmend den Stromfluß durch das Bauelement infolge Einschnürung des Strompfades behindert.

Ausgehend von den Ergebnissen für die Linearzelle, lassen sich für die Dimensionierung der Zellweite die folgenden Aussagen ableiten:

- um den Einfluß des JFET zu verringern, ist die Halbzellweite mit mindestens $14 \mu m$ zu wählen
- für minimale statische Verluste ergibt sich eine Halbzellweite von $26 \mu m$
- f
 ür das Erreichen hoher S
 ättigungsstr
 öme, gleichsetzbar einem schnelleren Einschalten, sollte die Halbzelle eine Weite von ca. 14
 µm-16µm aufweisen.

3.2.3. Die 26µm-Zelle

Basierend auf den Berechnungsergebnissen im Kapitel 3.2.2. sind die weiteren Berechnungen für die Zelle mit einer Halbweite von 26µm durchgeführt worden.

Diese Zelle weist bei der Optimierung der Zellweite mit dem Standard-Berechnungsverfahren die geringste Sättigungsspannung für die Stromdichten von 50A/cm² und 100A/cm², bei der die Bauelemente üblicherweise betrieben werden, auf. Es sind also bei dieser Weite die geringsten Verluste zu erwarten. Abbildung 3.10. stellt den Querschnitt des oberen Teils dieser Zelle dar. Das berechnete Ausgangskennlinienfeld mit eingetragener Transferkennlinie sowie die Latch-Up-Kurve zeigt Abbildung 3.11.



Abb. 3.10.: Darstellung der 26µm-Zelle



Abb.3.11.: Ausgangskennlinienfeld mit Transferkennlinie und Latch-Up-Kurve für die 26µm-Zelle

3.3. Ladungsträgerlebensdauer und Schaltverhalten

Eine Änderung der Ladungsträgerlebensdauer im IGBT führt zu einer Änderung einiger wichtiger Eigenschaften von IGBT. Eine Einstellung der Ladungsträgerlebensdauer ist durch Implantation von Ionen [50] oder durch Beschuß mit Protonen (Helium) oder Elektronen möglich.

Hierdurch kommt es zur Schädigung der einkristallinen Struktur des Halbleitermaterials. Die Folge ist eine Erhöhung der Rekombinationsgeschwindigkeit der beweglichen Ladungsträger an den Gitterstörungen, was einer Verringerung der Lebensdauer gleichzusetzen ist. Ermöglicht wird so ein besseres dynamisches Verhalten der Bauelemente, da nun beim Ausschalten des IGBT ein schnellerer Abbau der Ladungsträger in der überfluteten Driftzone erfolgt. Ebenfalls erreicht wird eine Verbesserung der Latch-Up-Festigkeit. Nachteilig ist die Erhöhung der statischen Verluste in der Driftzone des Bauelementes.

3.3.1. Einfluß der Lebensdauer auf die statischen Verluste

Untersucht ist der Einfluß der Ladungsträgerlebensdauer auf die Sättigungsspannung des IGBT sowie dessen Einschaltwiderstand. Die Lebensdauer wird im Bereich von 5µs - 50µs variiert, die Berechnungen sind für Zellen mit einer Halbweite von 16µm und 26µm erfolgt. Die Abbildungen 3.12. und 3.13. zeigen die Ergebnisse der Simulationen, an denen das Ansteigen der Verluste mit verkürzter Ladungsträgerlebensdauer im statischen Fall deutlich wird.



Abb.3.12.: Abhängigkeit des Einschaltwiderstandes und der Sättigungsspannung von der Ladungsträgerlebensdauer bei einer Halbweite des IGBT von w=16µm



Abb.3.13.: Abhängigkeit des Einschaltwiderstandes und der Sättigungsspannung von der Ladungsträger lebensdauer bei einer Halbweite des IGBT von w=26µm

Eine Vergrößerung der Lebensdauer über einen Wert von 50µs wirkt sich dagegen nur sehr gering auf die angegebenen Parameter aus, so das auf diese Darstellung verzichtet wird.

3.3.2. Einfluß der Lebensdauer auf dynamische Parameter

Einer der ungünstigsten Fälle beim Betrieb eines IGBT ist ein Kurzschluß über der Last. Einen typischen Fall zeigt Abbildung 3.14. Die Belastung des Bauelementes ist um so höher, je geringer die Leitungslänge und damit die den Stromanstieg begrenzende Induktivität ist. Demzufolge wird das Kurzschlußverhalten hier ohne Induktivität im Collectorzweig simuliert. Eine Einbeziehung der Freilaufdiode ist mit der zur Verfügung stehenden Version von ToSCA derzeit noch nicht möglich.



Abb.3.14.: Darstellung des Kurzschlusses in einer Brückenansteuerung

NPT-IGBT sind für eine gewisse Zeit (ca. 10-20 μ s) kurzschlußfest. Interessierende Kenngrößen sind die Höhe des sich einstellenden stationären Kurzschlußstromes sowie die hierfür benötigte Zeit. Der Kurzschlußstrom wird simuliert, indem der IGBT bei einem Arbeitspunkt von I_C =100A/cm² an 1000V geschaltet wird (Kurzschluß 2).

Die Abbildungen 3.15. und 3.16. zeigen den entsprechenden zeitlichen Verlauf von Collectorstrom und -spannung an einem IGBT mit einer Halbzellweite von 26 μ m für eine Ladungsträgerlebensdauer von 5 μ s und 50 μ s. Aus den Abbildungen wird ebenfalls ersichtlich, daß die Einstellzeit des Kurzschlußstromes von der Lebensdauer der Ladungsträger abhängig ist, nicht aber die Höhe des sich einstellenden Stromes. In Tabelle 3.4. sind die betreffenden Kenngrößen zusammengefaßt. Ein Einschalten eines Widerstandes von 10 Ω in die Gateleitung ergibt keinen Einfluß auf den Verlauf der Kennlinien.



Abb. 3.15.: Zeitlicher Verlauf von Strom und Spannung für eine Ladungsträgerlebensdauer von 5µs



Abb. 3.16.: Zeitlicher Verlauf von Strom und Spannung für eine Ladungsträgerlebensdauer von 50µs

Gut ersichtlich ist der beim Schalten an die 1000V infolge der sich aufbauenden hohen Feldstärke entstehende Strompeak. Dadurch werden die Ladungsträger aus dem Hauptteil der Driftzone herausgeschleudert. Der n⁺-Emitter injiziert nun Elektronen in das Gebiet der p-Wanne. Aufgrund der sehr kurzen Zeitspanne kommt es jedoch nicht zum Latch-Up des IGBT, da sich der erforderliche Rückkopplungsprozeß zum Zünden der parasitären Thyristorstruktur nicht entwickeln kann [44]. Nach dem Abklingen dieser Stromspitze ist der Stromfluß im Bauelement wieder durch das Gate steuerbar und erreicht schließlich seinen stationären Endwert, den das Bauelement eine gewisse Zeit schadensfrei übersteht, bis es aufgrund der zunehmenden Eigenerwärmung durch die hohe Stromdichte im Halbleiter zur Zerstörung durch den einsetzenden Latch-Up der Struktur kommt (Kapitel 3.6.).

Lebensdauer [µs]	50	5
Kurzschlußstrom I _{ShC} [A/cm ²]	390	389
Einschwingzeit t _{ShC} [ns]	820	980

Tabelle 3.4.: Berechnete Kenngrößen für das Schalten in den Kurzschluß

Für diese beiden IGBT-Varianten ist ebenfalls ein einfacher Ausschaltvorgang simuliert worden (Abb. 3.17.). Die entsprechenden Kennlinien zeigen die Abbildungen 3.18. und 3.19.



Abb. 3.17.: Ausschaltvorgang: Verlauf der Gatespannung und Schaltbild





Abb. 3.18. : Ausschalten eines IGBT mit einer Ladungsträgerlebensdauer von 5µs

Abb. 3.19. : Ausschalten eines IGBT mit einer Ladungsträgerlebensdauer von 50µs

Hierin wird deutlich, daß eine verkürzte Ladungsträgerlebensdauer ein schnelleres Ausschalten des Bauelements ermöglicht. Bei der simulierten Struktur erfolgt das Ausschalten bei Verringerung der Lebensdauer von 50µs auf 5µs ca. 1µs schneller (Abb.3.18./3.19.).
3.4. Einfluß der Wannengeometrie auf die Kennwerte des IGBT

3.4.1. Variation der Wannengeometrie

Ausgehend von der 26μ m-Zelle, im weiteren Standardzelle genannt, werden verschiedene Parameter der p-Wanne verändert. Durch die Verringerung der Wannentiefe ist es möglich, R_{on} und U_{CE} des Bauelementes weiter zu verkleinern. Andererseits ist eine Verschlechterung des Latch-Up-Verhaltens zu erwarten, während eine Erhöhung der Wannentiefe zu einer Verbesserung führen sollte. Aufgrund des Einflusses des hochdotierten p-Gebietes des IGBT auf die Latch-Up-Charakteristik werden ebenfalls laterale Ausdehnung und Tiefe des p⁺-Gebiets verändert.

Parameter	Variante 1	Variante 2	Variante 3	Variante 4	Standardzelle
Wannentiefe y _{pj}	3µm	3µm	3µm	6µm	4µm
Tiefe des tiefen					
p-Gebietes y _{p+j}	3.5µm	3.5µm	4.7µm	-	4.7µm
Ausdehnung des					
tiefen p-Gebietes xp+	1.5µm	3µm	1.5µm	-	1.5µm
Halbzellweite w	25µm	25µm	25µm	28µm	26µm
R _{on} (50A/cm ²)	0.0159 Ω/cm ²	0.0155 Ω/cm ²	0.0155 Ω/cm ²	0.0334 Ω/cm ²	0.0188 Ω/cm ²
R _{on} (100A/cm ²)	0.0120 Ω/cm ²	0.0120 Ω/cm ²	0.0118 Ω/cm ²	0.138 Ω/cm ²	0.0189 Ω/cm ²
R _{on} (200A/cm ²)	0.0104 Ω/cm ²	0.0101 Ω/cm ²	0.0097 Ω/cm ²	-	0.0297 Ω/cm ²
U _{CE} (50A/cm ²)	2.232 V	2.226 V	2.226 V	2.68 V	2.355 V
U _{CE} (100A/cm ²)	2.911 V	2.899 V	2.899 V	5.81 V	3.283 V
U _{CE} (200A/cm ²)	3.979 V	3.956 V	3.961 V	-	5.831 V
I _{Latch} bei U _G =50V	-	-	-	-	1878 A
I _{Latch} bei U _G =25V	711 A	1073 A	823 A	-	-
R _p	1.39 Ω/cm	0.86 Ω/cm	1.31 Ω/cm	0.42 Ω/cm	0.56 Ω/cm
R _{n+}	0.059 Ω/cm	0.141 Ω/cm	0.035 Ω/cm	0.025 Ω/cm	0.059 Ω/cm
U _{th} bei I _C =20mA					
U _{CE} =15V	4.2V	4.2V	4.2V	6.9V	5.6V

 Tabelle 3.5.: Untersuchte Varianten und Ergebnisse zur Wannengeometrie

Tabelle 3.5. gibt einen Überblick der untersuchten Varianten sowie der erreichten Kennwerte, Abbildung 3.20. veranschaulicht die variierten Parameter. Aufgeführt sind ebenfalls die Widerstandswerte der n-Wanne sowie der p-Wanne, bezogen auf eine Weite von 1cm. Realisiert werden die veränderten Dotierungsprofile durch eine entsprechende Skalierung der verwendeten Gaußkurven. Um zu vergleichbaren Ergebnissen zu gelangen, wird die Weite des Driftgebietes w_d (Abb. 3.20.) nicht verändert, so daß die Weite der IGBT-Zelle entsprechend den unterschiedlichen Wannenabmessungen variiert.



Abb. 3.20.: Darstellung der veränderten Parameter des IGBT

Wie erwartet, weisen die Varianten mit flacher Wanne ein besseres Durchlaßverhalten auf, sowohl R_{on} als auch U_{CE} liegen unter den Werten der Standardzelle, während die Zelle mit der 6µm tiefen Wanne deutlich schlechtere Werte aufweist. Dies zeigen auch die Ausgangskennlinien für die einzelnen Typvarianten (Abb. 3.21.). Das Latch-Up-Verhalten für die Varianten mit flacher Wanne dagegen weist eine immense Verschlechterung auf. Es ist nicht möglich, eine optimale Variante festzulegen. Für geringe Verluste erweisen sich die Varianten mit flacher p-Wanne als vorteilhaft, allerdings ist die Latch-Up-Festigkeit nicht ausreichend. Ein IGBT mit tiefer Wanne scheidet aufgrund der hohen Verluste aus. Eine geeignete Variante stellt der IGBT mit 4µm Wannentiefe dar, bei guter Latch-Up-Festigkeit weist dieses Bauelement relativ geringe Verluste auf.



Abb. 3.21.: Ausgangskennlinien für die verschiedenen IGBT-Varianten

Für eine Gatespannung von 50V ist es aufgrund numerischer Probleme des Devicesimulators nicht möglich, Latchströme für die Varianten mit flacher p-Wanne zu berechnen. Für die

Varianten mit tieferen Wannen sind bei einer Gatespannung von 25V keinerlei Latch-Up-Erscheinungen festzustellen, hier kommt es schließlich zum Durchbruch aufgrund der Avalanche-Generation. Abbildung 3.22. zeigt die Verteilung der Elektronen im Kanalgebiet eines IGBT mit flacher Wanne im Durchlaßfall bei hoher Gatespannung.



Abb. 3.22.: Elektronenverteilung im Kanalgebiet

Ein Kennwert zur Beurteilung des Latch-Up-Verhaltens eines IGBT ist die Höhe des p-Wannenwiderstandes. Dieser wird um so geringer, je höher die Wannentiefe wird (Tabelle 3.5.). Bei den Bauelementen mit einer 3µm tiefen p-Wanne weist die Variante mit dem breitem vergrabenen p⁺-Gebiet den geringsten Wannenwiderstand auf. Gleichzeitig weist diese Zelle das beste Latch-Up-Verhalten auf. Abbildung 3.23. verdeutlicht die Lage der in der Simulation definierten Kontakte zur Bestimmung der jeweiligen Wannenwiderstände. Für die Berechnung des p-Wannenwiderstandes wird der zweite Kontakt in das Gebiet der Wanne selbst gelegt, um den für den Löcherstrom wirksamen Widerstand zu bestimmen. Wie in Abbildung 3.2. am Beginn dieses Kapitels gezeigt, fließt der Löcherstrom unterhalb der p-Wanne zum Emitterkontakt. Würde der zweite Kontakt an der Oberfläche des Substrates definiert werden, würde aufgrund der deutlich geringeren Dotierung hier im Kanalgebiet eine Verfälschung der Ergebnisse auftreten.



Abb. 3.23.: Lage der Kontakte zur Widerstandsbestimmung

Der Widerstand des n⁺-Gebietes verändert sich in Abhängigkeit von der Dotierung der p-Wanne. Er ist ebenso wie der Anstieg der Schwellspannung bei höheren Wannentiefen durch die unterschiedliche Ausdiffusion der p-Wannen, welche sowohl vertikal als auch lateral erfolgt, erklärbar. Bei einer stärkeren Ausdiffusion zum Erreichen einer tieferen Wanne kommt es zu einem weiteren Eindringen der Dotierung in das Substrat. Dies führt zwangsläufig zu einer Veränderung des Konzentrationsgradienten, es wird also bei einer größeren Ausdehnung der Wanne auch zu einer Erhöhung der maximalen Konzentration an der Oberfläche kommen. Gleichzeitig kommt es zu einem Absinken der maximalen Dotierung in der Wanne selbst.

Der relativ hohe Widerstand des n-Gebietes bei der Variante mit ausgedehntem vergrabenen p⁺-Gebiet ist durch das Eindringen eines Teils der p-Dotierung in das n-Gebiet zu erklären.

3.4.2. Einfluß des npn-Transistors auf das Latch-Up-Verhalten

Bereits im Abschnitt 2.2. ist der Einfluß des parasitären npn-Transistors T₁ (Abb. 3.24.) auf den sicheren Arbeitsbereich erklärt. Das Zünden der parasitären Thyristorstruktur wird immer durch das Einschalten dieses Transistors bewirkt, da er aufgrund der im Vergleich zum pnp-Transistor T₃ nur geringen Basisweite eine sehr viel höhere Verstärkung besitzt. Wird der Spannungsabfall über dem Bahnwiderstand R_B größer als 0.7V, schaltet der npn-Transistor ein und steuert den pnp-Transistor T₃ durch, es kommt zum Latch-Up des IGBT.



Collector

Abb. 3.24.: Ersatzschaltbild eines IGBT

Die Zündbedingung für den parasitären Thyristor kann mit den Basisstromverstärkungen beschrieben werden und lautet:

$$\alpha_{N_{npn}} + \alpha_{N_{pnp}} = 1$$
$$\alpha_{N_{pnp}} < 0.1$$
$$\alpha_{N_{npn}} \approx 0.8...1$$

Formel 3.2. : Zündbedingung des Thyristors

Wichtig ist es demnach, ein Durchsteuern des npn-Transistors so weit wie möglich hinauszuschieben.

Zur besseren Einschätzung des Latch-Up-Verhaltens sind die Kennlinien der npn-Transistoren der fünf Wannenvarianten berechnet. Abbildung 3.25. zeigt den berechneten Strukturausschnitt, Abbildung 3.26. die berechneten Übertragungskennlinien. Hierbei ist als Parameter für das Einschalten des Transistors eine Spannungsdifferenz an die beiden Basiskontakte angelegt, so das es zum Stromfluß durch die Basis kommt und der Transistor durch den verursachten Spannungsabfall im Gebiet der p-Wanne eingeschaltet wird.

Aus den Kennlinien läßt sich ablesen, daß der npn-Transistor bei größerer Wannentiefe später einschaltet. Günstig für das Latch-Up-Verhalten ist weiterhin das Erreichen einer möglichst

flachen Kennlinie des npn-Transistors. Deutlich positiv wirkt sich bei den Varianten mit flacher p-Wanne eine laterale Erweiterung des vergrabenen p⁺-Gebietes aus. Dies bewirkt eine Verringerung des Bahnwiderstandes der p-Wanne und damit des Spannungsabfalles über diesem Gebiet (siehe Tabelle 3.5.). Immerhin wird durch diese Maßnahme der Bahnwiderstand um mehr als 25% verringert, obwohl er auch jetzt noch deutlich höher als bei den Varianten mit tiefer p-Wanne ist. Der Transistor schaltet infolgedessen erst bei höherem Lateralstrom ein und weist im Vergleich zu den beiden anderen Varianten mit verringerter Wannentiefe ebenfalls eine flachere Kennlinie auf (Abb.3.26.).

Das Einbringen eines möglichst breiten, vergrabenen p⁺-Gebietes unterhalb dem Kontaktgebiet und dem n-Gebiet stellt also, insbesondere bei der Realisierung verlustreduzierter IGBT mit flacher p-Wanne, eine geeignete Maßnahme zur Verbesserung des Latch-Up-Verhaltens dar.



Abb.3.25.: Berechneter Strukturausschnitt

Abb.3.26.: Berechnete Übertragungskennlinien

3.5. Technologische Realisierung der IGBT

3.5.1. Prozeßparameter

Die zur Verfügung stehende Technologie basiert auf einer VDMOS-Technologie für Bauelemente mit höheren Wannentiefen (Kapitel 3.1.) [43]. Die Implantationsparameter sowie die Temperaturen und Zeiten der Diffusionsschritte sind entsprechend den neuen Zielwerten abgeändert. Tabelle 3.6. führt sowohl die originalen als auch die geänderten Parameter der zwei verschiedenen Varianten auf.

	VDMOS-Prozeß	IGBT-Prozeß 1	IGBT-Prozeß 2
Dotierung	Phosphor,	Phosphor,	Phosphor,
Driftgebiet/Substrat	N=1*10 ¹⁴ cm ⁻³	N=6*10 ¹³ cm ⁻³	N=6*10 ¹³ cm ⁻³
Implantation tiefes p-	Bor,	Bor,	Bor,
Gebiet	E=90keV,	E=140keV,	E=140keV,
	d=5*1014	d=5*10 ¹⁴	d=5*10 ¹⁴
Wannenimplantation	Bor,	Bor,	Bor,
	E=90keV,	E=40keV,	E=40keV,
	d=5*10 ¹³	d=5*10 ¹³	d=6*10 ¹³
Wannendiffusion	T=1185°C, t=75min	T=1185°C, t=40min	T=1185°C, t=40min
Implantation p+-Source	Bor,	Bor,	Bor,
	E=90keV,	E=40keV,	E=40keV,
	d=2*10 ¹⁵	d=2*10 ¹⁵	d=1*10 ¹⁵
Implantation n+-Wanne	Phosphor,	Phosphor,	Phosphor,
	E=110keV,	E=70keV,	E=70keV,
	d=2*10 ¹⁵	d=2*10 ¹⁵	d=2.5*10 ¹⁵
Ausdiffusion	T=1050°C, t=30min		
	T=1000°C, t=60min	T=1000°C, t=60min	T=1000°C, t=60min

Tabelle 3.6.: Übersicht der Prozeßparameter

Ziel der Änderungen ist es, die bisher betrachtete Struktur eines IGBT mit 4µm tiefer Wanne mit den durch die Gaußprofile genäherten Profilen zu realisieren (Kapitel 3.2.)

In Tabelle 3.7. sind sowohl die Zielwerte als auch die mit den beiden Prozeßvarianten in der Simulation erreichten Kennwerte der Bauelementedotierung dargestellt.

Die angestrebten Ergebnisse werden mit beiden Varianten in guter Näherung erreicht, wobei der Prozeß 2 etwas näher an den Vorgaben liegt.

		p+-Source	p-Wanne	tiefes p-Gebiet	n+-Wanne
	max.Dotierung [cm-3]	3*10 ¹⁹	3.5*1017	3.5*1018	4*10 ¹⁹
Gaußprofile	vertikale Lage des Maximums [µm]	Oberfläche	1.1	0.8	Oberfläche
	Tiefe des Gebiets [µm]	0.8	4.0	4.7	0.8
	max.Dotierung [cm-3]	3.5*1019	3.1*1017	3.0*1018	3*10 ¹⁹
IGBT-Prozeß 1	vertikale Lage des Maximums [µm]	Oberfläche	0.7	0.85	Oberfläche
	Tiefe des Gebiets [µm]	0.85	4.0	4.7	0.52
	max.Dotierung [cm-3]	2.8*10 ¹⁹	4*10 ¹⁷	3.2*10 ¹⁸	3.5*10 ¹⁹
IGBT-Prozeß 2	vertikale Lage des Maximums [µm]	Oberfläche	0.8	0.8	Oberfläche
	Tiefe des Gebiets [µm]	0.8	4.0	4.7	0.6

Tabelle 3.7.: Kennwerte für charakteristische Dotierungen

3.5.2. Resultierende Kennwerte der IGBT

Dieses Kapitel befaßt sich mit der Aufführung und Auswertung der in der Devicesimulation berechneten Kenngrößen für die IGBT-Halbzellen nach beiden Prozeßvarianten (Tabelle 3.8.).

Abbildung 3.27. zeigt die berechneten Transfer- und Ausgangskennlinien der drei Varianten.

Es ist festzustellen, daß mit beiden Prozeßvarianten die geforderten Parameter erreichbar sind. Die Schwellspannung liegt mit ungefähr 4.5V niedriger als die der mit Gaußprofilen gerechneten Variante. Günstig ist das Erreichen höherer Ströme für die Sättigung. Es ergeben sich Werte, die in realen Anwendungen aufgrund der Eigenerwärmung der Bauelemente nicht erreichbar sind. Erhalten bleibt somit die Steuerbarkeit der IGBT im gesamten Arbeitsbereich. Die zu erwartenden statischen Verluste der IGBT verringern sich bei beiden Prozeßvarianten. Die Latch-Up-Festigkeit ist höher als bei den mit Gaußprofilen gerechneten Varianten, was in dieser Hinsicht eine ausreichende Robustheit erwarten läßt. Aufgrund der berechneten Durchbruchspannungen von ca. 1600V ist es möglich, durch eine Verringerung der Driftzonenstärke eine weitere Verbesserung der Durchlaßeigenschaften zu erreichen.

Der sich beim Schalten in den Kurzschluß ergebende Short-Circuit-Strom ist bei beiden Prozeßvarianten höher, während die Einschwingzeit geringer wird. Dadurch erhöht sich die Gefahr der thermischen Zerstörung infolge eines Latch-Up's aufgrund der ohnehin starken Eigenerwärmung der Bauelemente im Kurzschlußfall (Kapitel 3.6.).

	Gaußprofile	IGBT-Prozeß 1	IGBT-Prozeß 2
N _{Amax} [cm ⁻³]	1.8*10 ¹⁷	1.1*10 ¹⁷	1.2*1017
U _{th} [V] bei I _C =20mA			
U _{CE} =15V	5.6	4.2	4.77
$R_{on}[\Omega] (50A/cm^2)$	0.0188	0.0154	0.0155
$R_{on}[\Omega]$ (100A/cm ²)	0.0189	0.0122	0.0123
$R_{on} [\Omega] (200 \text{A/cm}^2)$	0.0297	0.011	0.012
U _{CE} [V] (50A/cm ²)	2.355	2.12	2.14
UCE [V] (100A/cm ²)	3.283	2.79	2.83
UCE [V] (200A/cm ²)	5.831	3.87	4.0
$R_{n+} [\Omega/cm]$	0.0252	0.0295	0.031
$R_{p+}[\Omega/cm]$	0.424	0.409	0.304
ILatch [A] bei UG=50V	1878	3260	3325
U _{BR} [V]	1614	1604	1600
I _{ShC} [A]	390	757	627
t _{ShC} [ns]	820	560	620

Tabelle 3.8.: Berechnete Kennwerte der IGBT (w=26µm)





Beide Prozeßfolgen sind gut geeignet, als Basisgerüst für einen IGBT-Technologiedurchlauf zu dienen. Die berechneten Kennwerte stellen natürlich lediglich Ergebnisse einer Modellierung dar, welche auf Näherungslösungen basiert. Vor allem in Bezug auf die zu erwartenden Verluste muß unbedingt beachtet werden, daß Teilprozesse wie z.B. die Rückseitenmetallisierung nicht simuliert werden konnten. Damit entfallen sind ebenfalls die

dort entstehenden Übergangswiderstände, welche Einfluß auf die Verluste des Gesamtbauelementes nehmen. Dies betrifft auch Zuleitungswiderstände und -induktivitäten. Die realisierten IGBT sollten trotzdem gute Kennwerte aufweisen, welche in der Nähe der Berechnungsergebnisse liegen.

3.5.3. Einfluß von Oberflächenladungen

IGBT sind über das Gate leistungslos gesteuerte Bauelemente. Gatekontakt (Poly-Silizium) und Substrat bilden hierbei die Platten eines Kondensators, daß Gateoxid das Dielektrikum . Das Gateoxid ist allerdings kein ladungsfreies Dielektrikum, es besitzt sowohl bewegliche als auch feste Ladungen, die die Kennwerte des Bauelementes beeinflussen.

Unterschieden werden hierbei Isolatorzustände und Phasengrenzzustände. Isolatorzustände werden durch unvermeidbare Ladungen im Isolator, zum Beispiel durch Ersatz von Silizium oder Sauerstoff durch andere Stoffe oder durch Ladungen auf Zwischengitterplätzen, hervorgerufen (Q_{FC}, Fixed Charges). Phasengrenzzustände entstehen durch die Volumenverdoppelung bei der Oxydation, durch mechanischen Streß, durch nicht abgesättigte Bindungen und Anlagerung von Verunreinigungen wie Natriumionen (Q_{SS}, Surface States), (Abb. 3.28.). Diese Oberflächenladungen sind positiv, es ist also bei den untersuchten IGBT eine Verschiebung der Schwellspannung zu kleineren Werten die Folge.



Abb. 3.28.: Ladungen an der Grenzfläche und im Oxid

Im genutzten Devicesimulator ToSCA besteht die Möglichkeit, Ladungen an der Oberfläche als Grenzflächenzustandsdichte N_{SS} anzugeben und somit deren Einfluß zu modellieren. Mit guten Technologien und Anlagen sind heute Werte von N_{SS} $<5*10^{10}$ cm⁻² realisierbar. In der Simulation ist die Grenzflächenzustandsdichte in dem Bereich verändert, wo die Randstruktur die geforderte Sperrspannung sicher hält [13]. Abbildung 3.29. zeigt den Einfluß der Ladungen auf die Schwellspannung der IGBT (w=26µm) sowie den Verlauf der jeweiligen Ausgangskennlinien, Tabelle 3.9. zeigt die Veränderung weiterer Kennwerte. Die Durchbruchspannung der IGBT wird durch die Oberflächenladungen praktisch nicht beeinflußt, während sich die Latch-Up-Festigkeit verbessert. Dies ist in einer Linearisierung des Feldverlaufs im oberflächennahen Gebiet aufgrund des durch die Ladungen wirkenden zusätzlichen positiven Potentials begründet. Es kommt zu einer Verschiebung der Schwellspannung zu niedrigeren Werten und somit auch zu einer Verschiebung der Ausgangskennlinien.





Abb.3.29.: Einfluß der Oberflächenladungen

	N _{SS} =0	N _{SS} =5*10 ¹⁰ cm ⁻²	N _{SS} =1*10 ¹¹ cm ⁻²	
U _{th} [V] bei I _C =20mA				
U _{CE} =15V	5.6	5.35	4.95	
I _{Latch} [A] bei U _G =50V	1878	1979	2048	
U _{BR} [V]	1614	1615	1621	
$R_{on}[\Omega]$ (50A/cm ²)	0.0188	0.0185	0.0178	
$R_{on}[\Omega]$ (100A/cm ²)	0.0189	0.0166	0.0160	
$R_{on}[\Omega]$ (200A/cm ²)	0.0297	0.0276	0.0274	
$U_{CE}[V]$ (50A/cm ²)	2.355	2.345	2.336	
U_{CE} [V] (100A/cm ²)	3.283	3.212	3.204	
UCE [V] (200A/cm ²)	5.831	5.682	5.518	

Tabelle 3.9.: Abhängigkeit wichtiger Kennwerte von den Oberflächenladungen

Bedingt durch die Schwellspannungsverschiebung kommt es ebenfalls zu einer geringfügigen Verbesserung der Durchlaßeigenschaften.

Im Bereich der bei den erforderlichen Randstrukturen maximal erlaubten Oberflächenladungen kommt es zu keiner negativen Beeinflussung der IGBT-Parameter. Die in der verfügbaren Technologie erreichbaren Oxidreinheiten sind demzufolge für die Fertigung dieser Bauelemente ausreichend.

3.6. Temperaturverhalten

IGBT werden als Leistungsbauelemente im Normalfall nicht bei Sperrschichttemperaturen von ca. 25°C betrieben. Aufgrund der hohen Stromdichten im Bauelement selbst kommt es zur Eigenerwärmung, infolgedessen muß das Bauelement gekühlt werden. Allein aus Platzund Materialgründen wird die Kühlfläche so dimensioniert, daß die maximal zulässige Sperrschichttemperatur auch bei den höchsten zu erwartenden Umgebungstemperaturen wird. gerade nicht überschritten Dies bedeutet. daß das Bauelement bei Sperrschichttemperaturen von 100°C-130°C betrieben wird, wodurch viele Kennwerte verschoben werden. Für den Anwender ist es daher äußerst wichtig zu wissen, wieviel dem Bauelement unter solchen Bedingungen zugemutet werden darf und welche Kennwerte es dann besitzt. Aufgrund der zusätzlichen thermischen Energiezufuhr sind vor allem eine hohe Beeinflussung des Reststrom- und Latch-Up-Verhaltens sowie eine Verschiebung der Transfer- und Ausgangskennlinie zu erwarten [43].

3.6.1. Verwendete Modelle

In ToSCA ist es möglich, eine Temperatur für das zu untersuchende Bauelement festzulegen. Die Eigenerwärmung des Bauelementes aufgrund des durchfließenden Stromes wurde bisher nicht realisiert. Eine Untersuchung dieses Verhaltens ist daher nur ansatzweise möglich, in dem bei verschiedenen Temperaturen die betreffenden Größen berechnet werden. Bei der Beurteilung der Berechnungsergebnisse muß ebenfalls beachtet werden, daß die Parameter im Gegensatz zu Rechnungen bei Raumtemperatur nicht durch Meßwerte gefittet worden sind. Zur besseren Beurteilung der Ergebnisse sollen hier die wichtigsten in ToSCA verwendeten Beziehungen für Beweglichkeit und Rekombination aufgeführt werden [1],[46]. Für die feldabhängige Elektronen- und Löcherbeweglichkeit wird folgender Ausdruck verwendet:

$$\mu_{n,p}(E, D, T) = \frac{\mu_{n,p}(D, T)}{\left[1 + \left(\frac{\mu_{n,p}(D, T) \cdot E_{n,p}}{v_{SAT_{n,p}}}\right)^{\beta_{n,p}}\right]^{\frac{1}{\beta_{n,p}}}}$$



Die Dotierungsabhängigkeit folgt der Gleichung von Caughey/Thomas:

$$\mu_{n,p}(D,T) = \mu_{\min_{n,p}} \frac{\mu(T)_{n,p} - \mu_{\min_{n,p}}}{1 + \left(\frac{CI}{C_{ref_{n,p}}}\right)^{\alpha_{n,p}}}$$

Formel 3.4.: Dotierungsabhängige Beweglichkeit

Die Temperaturabhängigkeit der Beweglichkeit folgt der Beziehung von Arora:

$$\mu_{n,p}(T) = \mu_{0_{n,p}} \cdot \left(\frac{T}{300K}\right)^{-\alpha_{n,p}}$$

Formel 3.5.: Temperaturabhängige Beweglichkeit

Für die Eigenleitungsdichte wird nachfolgender, temperaturabhängiger Ausdruck verwandt:

$$n_{i}(T) = n_{i} \cdot \left(\frac{T}{300K}\right)^{3/2} \cdot \exp\left\{-\left[0.5 \cdot E_{G} \cdot \left(1 - \left(\frac{T}{300K}\right)\right)\right]\right\}$$

Formel 3.6.: Temperaturabhängige Eigenleitungsdichte

Eine ausführlichere Darstellung der verwendeten Gleichungen und Parameter ist im Anhang zu finden.

3.6.2. Temperaturabhängigkeit wichtiger Bauelementekennwerte

Untersucht wird die Verschiebung der Bauelementeparameter bei einer Temperaturerhöhung auf 400K (ca.130°C). Die Berechnungen werden an der aus der Technologiesimulation nach Variante 2 erhaltenen Struktur einer IGBT-Zelle mit 4µm Wannentiefe durchgeführt.

Die Berechnungsergebnisse sind in Abbildung 3.30 sowie in Tabelle 3.10. aufgeführt. In Folge der erhöhten Sperrschichttemperatur kommt es zu einer Verringerung der Schwellspannung sowie zu einer deutlichen Erhöhung des Einschaltwiderstandes. Die NPT-IGBT haben somit einen negativen Temperaturkoeffizienten, es kommt also zum Zuregeln des Bauelementes bei steigender Temperatur. Zusammen mit der vom Funktionsprinzip der NPT-IGBT herrührenden Selbstbegrenzung des Stromes im Kurzschlußfall (Kapitel 2.2.) ist so bei entsprechender Dimensionierung die Herstellung weitgehend kurzschlußfester Bauelemente möglich. Kurzschlußfest bedeutet hier, daß die Bauelemente ca. 10-20µs in den Kurzschluß geschaltet werden können, ohne daß sie zerstört werden. Dies gibt Schutzschaltungen ausreichend Zeit, anzusprechen. Durchfließt der Strom längere Zeit den IGBT, kommt es aufgrund der damit verbundenen Eigenerwärmung schließlich zum Zünden der parasitären Thyristorstruktur. Ursache dafür ist, daß die erforderliche Basisspannung, welche für das Herstellen einer starken Injektion von Ladungsträgern aus dem Emitter- in das Basisgebiet erforderlich ist, sich aufgrund der proportionalen Abhängigkeit dieses Injektionsstromes von n_i²(T) auf ca. 0.3V bei 600K verringert. Dieses Einschalten des Thyristors führt schließlich zur thermischen Zerstörung des IGBT [44].



Abb. 3.30.: Transfer- und Ausgangskennlinie für unterschiedliche Sperrschichttemperaturen

	T=300K	T=400K
Uth [V] bei U _{CE} =15V		
I _C =20mA	4.77	3.9
ILatch [A] bei UG=50V	3325	2983
Ic [A] bei UCE=1200V		
UG=0V	1.11*10 ⁻⁰⁶	36.8*10-03
$R_{on} [\Omega] (50 A/cm^2)$	0.0155	0.0275
$R_{on} [\Omega] (100 \text{A/cm}^2)$	0.0123	0.0220
$R_{on} [\Omega] (200 \text{A/cm}^2)$	0.012	0.0239
$U_{CE}[V]$ (50A/cm ²)	2.14	3.25
$U_{CE}[V]$ (100A/cm ²)	2.83	4.46
$U_{CE}[V]$ (200A/cm ²)	4.0	6.61

Tabelle 3.10.: Temperaturabhängigkeit wichtiger Kennwerte

Dieses Verhalten ist simuliert, indem der sich einstellende Kurzschlußstrom bei verschiedenen Temperaturen berechnet wird. Angewendet wird die gleiche Vorgehensweise wie im Kapitel 3.3.2. Beachtet werden muß hierbei, daß in einem realen Bauelement der Latch-Up durch entstehende lokale Temperaturmaxima (Hot Spots), welche an der Oberfläche am Endpunkt der p-Wanne liegen, verursacht wird [44].

Anhand der graphischen Darstellung (Abb. 3.31.) wird deutlich, daß es mit ansteigender Sperrschichttemperatur im Bereich von mehr als 400 Kelvin zu einem immensen Anstieg des fließenden Kurzschlußstromes kommt. Es ist ebenfalls ein Absinken der benötigten Einschwingzeit zu verzeichnen (Tabelle 3.11.). Wenn in Applikationen die Gefahr besteht, daß der IGBT im Kurzschluß betrieben wird, muß demzufolge unbedingt eine Schutzbeschaltung vorgesehen werden, welche den IGBT hinreichend schnell ausschaltet.



Abb. 3.31: Abhängigkeit des Kurzschlußstromes von der Temperatur

Temperatur [K]	300	400	600
Kurzschlußstrom IShC [A/cm2]	627	638	940
Einschwingzeit t _{ShC} [ns]	620	590	520

Tabelle 3.11.: Abhängigkeit des Kurzschlußstromes von der Temperatur

4. Doppelt Implantierte IGBT (DIGBT)

4.1. Aufbau und Eigenschaften von DIGBT

Doppelt Implantierte IGBT sind ein Ergebnis der Weiterentwicklung von IGBT mit vertikaler Struktur. Ziel ist die weitere Verbesserung der Kennwerte des Bauelementes vor allem bezüglich der Verringerung der Einschaltverluste sowie der Verbesserung des Latch-Up-Verhaltens.

Ein Weg zur Verbesserung der Durchlaßeigenschaften stellt eine verringerte p-Wannentiefe dar, wie es im Kapitel 3.4. gezeigt wurde. Eine Verringerung der Schaltverluste ist möglich durch eine erhöhte Trägerkonzentration zwischen den p-Wannen, wodurch der Widerstand dieses vor allem von Elektronen durchflossenen Gebietes verringert wird. Eine Kanalverkürzung führt ebenfalls zu einer deutlichen Verringerung der Sättigungsspannung des IGBT [27].

Diese Maßnahmen verschlechtern aber einige andere, im Einsatz äußerst wichtige Kennwerte des Bauelements, wie die Kurzschlußfestigkeit und das Latch-Up-Verhalten. Um die mit höheren Wannentiefen erreichte Robustheit wieder zu erlangen, sind einige Veränderungen am Design des IGBT erforderlich. Vorteilhaft erweisen sich hier auch die mit anzuwendenden selbstpositionierenden Prozeßtechnologien erreichbaren, deutlich geringeren Toleranzen (gleichsetzbar einer besseren Positioniergenauigkeit), was kleinere Strukturen erlaubt.

Eine Struktur, die die angeführten Forderungen erfüllen kann, wurde in [24] vorgestellt (Abb.4.1.). Zur Vermeidung des Zündens der parasitären Thyristorstruktur ist die Leitfähigkeit unter dem Gebiet der n-Wanne weiter erhöht. Dies führt zu einer Verringerung des Emitterwirkungsgrades, da sich nun beide Dotierungen annähernd im gleichen Bereich befinden. Dadurch wird die Rückinjektion eines Elektronenstromes in die Basis, verursacht durch den Löcherstromanteil am Gesamtstrom, später einsetzen, so das der Latch-Up des IGBT zu höheren Stromdichten hin verschoben wird.

Mit Blick auf die Durchlaßeigenschaften des IGBT muß aber unbedingt vermieden werden, daß diese starke p⁺-Dotierung bis in das Kanalgebiet reicht. Anderenfalls würde es zu einer deutlichen Erhöhung der Schwellspannung als auch der Sättigungsspannung kommen.

Erforderlich ist weiterhin eine verringerte n-Dotierung in Richtung des Kanals. Damit wird das Kurzschlußverhalten des Bauelements verbessert, da im Gebiet der verringerten Dotierung ein erhöhter Bahnwiderstand erreicht wird, wodurch es zu einer Strombegrenzung im Kurzschlußfall kommt.

Die Realisierung dieser Struktur erfolgt mit Hilfe einer Spacertechnologie [24]. Vor Abscheiden des Spacers wird eine p-Wannenimplantation eingebracht, gefolgt von einer Implantation des weniger stark dotierten n-Gebietes. Nach der Spacerherstellung erfolgt die Implantation des vergrabenen p⁺-Gebietes und anschließend die Implantation des nAnschlußgebietes. Sämtliche Implantationen sind selbstpositionierend, so wird einerseits eine hohe Positioniergenauigkeit erreicht und andererseits lassen sich Lithografieschritte einsparen.



Abb. 4.1.: Aufbau eines Doppelt Implantierten IGBT

Zusätzlich erforderlich ist nun aber ein Ätzschritt, bei dem im Gebiet des Kontaktloches das p-Gebiet freigelegt werden muß. Hier kann außerdem zur weiteren Verbesserung des Latch-Up-Verhaltens das n⁺-Gebiet in seiner lateralen Ausdehnung innerhalb der gegebenen Toleranzen verringert werden [21].

Eine Schwellspannungseinstellung ist bei diesem Prozeß möglich durch die Veränderung der Implantationsparameter.

Mit Hilfe dieses veränderten Aufbaus sind sehr gute Bauelementeeigenschaften sowohl hinsichtlich der Durchlaßeigenschaften als auch bezüglich der Robustheit des IGBT erreichbar. Im folgenden sollen Varianten zur Gestaltung des Technologieablaufes derartiger Bauelemente vorgestellt sowie der Einfluß unterschiedlicher Parameter auf die erreichbaren Kennwerte dargestellt werden.

4.2. Technologische Realisierung und berechnete Kennwerte

4.2.1. Vorstellung eines möglichen DIGBT-Prozesses

Wie im vorhergehenden Kapitel dargestellt wurde, sind die Eigenschaften von DIGBT in hohem Maße vom realisierbaren Dotierungsprofil abhängig. Eine möglichst einfache und unkomplizierte, gut reproduzierbare Prozeßführung stellt ein weiteres Kriterium dar, um die Herstellungskosten dieser Bauelemente möglichst gering zu halten und eine gute Ausbeute zu ermöglichen. Behandelt werden hier ausschließlich die für die Dotierungsumverteilung wichtigen Hochtemperaturprozesse sowie die zum Einbringen von Dotierungen und zur Veränderung des Schichtaufbaus notwendigen Prozeßschritte.

Zunächst ist kurz der grobe technologische Ablauf dargestellt, der für die Herstellung des oberflächenseitigen Dotierungsprofils erforderlich ist:

- 1. Gateoxydation
- 2. Polyabscheidung
- 3.Gatestrukturierung
- 4. p-Wannenimplantation
- 5. Wannenausdiffusion
- 6. n₁-Implantation
- 7. a) Ausdiffusion
 - b) ohne Diffusionsschritt
- 8. Spacerstrukturierung
- 9. p+-Implantation
- 10. n₂-Implantation
- 11. Abschlußtemperung (modelliert nicht aufgeführte Hochtemperaturschritte wie PSG)
- 12. Freilegen der Kontaktlöcher

Für die geometrischen Dimensionen der bestimmenden Bauelementecharakteristika wurden folgende Anforderungen festgelegt:

p-Wannentiefe:	ca.3µm
Kanallänge:	ca.2.0µm
n-Wannentiefe:	ca.0.4µm
Abstand Kontaktloch-Polysteg:	2.5µm
Kontaktlochweite:	3.0µm
Spacerweite:	0.5µm
Weite der IGBT-Halbzelle:	13µm

Um eine Vielzahl der unterschiedlichen Einflüsse zu erfassen, wurden Varianten mit verschiedenen Prozeßparametern berechnet. Die Daten für die erforderlichen Implantationen

wurden [51] entnommen. Abbildung 4.2. veranschaulicht die erreichbaren Eindringtiefen bei unterschiedlichen Einschußenergien.



Eindringtiefe Rp

Abb. 4.2.: Erreichbare Eindringtiefen in Abhängigkeit von der Einschußenergie

4.2.2. Einfluß technologischer Parameter auf statische Kennwerte

Tabelle 4.1. zeigt eine Aufstellung aller berechneten Prozeßvarianten. Untersucht wird der Einfluß unterschiedlicher Implantationsvarianten sowie des Temperschrittes nach Einbringen der 1.n-Implantation auf das Dotierungsprofil und wichtige Kennwerte des Bauelementes. Eine Aufstellung wichtiger Ergebnisse der Technolgiesimulation läßt sich Tabelle 4.2. entnehmen. Tabelle 4.3. zeigt wichtige Kennwerte als Ergebnis der Bauelementesimulation.

	Variante 1a/b	Variante 2a/b	Variante 3a/b	Variante 4a/b	Variante 5a/b	Variante 6a/b
p-Wannen- implantation	Bor, E=90keV, d=5*10 ¹³ cm ⁻²	Bor, E=90keV, d=5*10 ¹³ cm ⁻²	Bor, E=90keV, d=5*10 ¹³ cm ⁻²	Bor, E=90keV, d=5*10 ¹³ cm ⁻²	Bor, E=90keV, d=5*10 ¹³ cm ⁻²	Bor, E=90keV, d=5*10 ¹³ cm ⁻²
Wannen- diffusion	T=1150°C, t=30min	T=1150°C, t=30min	T=1150°C, t=30min	T=1150°C, t=30min	T=1150°C, t=30min	T=1150°C, t=30min
1. n- Implantation	Phosphor, E=80keV, $d=5*10^{15}$ cm ⁻²	Phosphor, E= 80keV , d= $5*10^{15} \text{cm}^{-2}$	Phosphor, E= 80keV , d= $3 \times 10^{15} \text{cm}^{-2}$	Phosphor, E= 80keV , d= $3 \times 10^{15} \text{cm}^{-2}$	Phosphor, E= 80keV , d= $1*10^{15} \text{cm}^{-2}$	Phosphor, E= 80keV , d= $1*10^{15} \text{cm}^{-2}$
Ausdiffusion	a: T=1050°C, t=10min b: ohne	a: T=1050°C, t=10min b: ohne	a: T=1050°C, t=10min b: ohne	a: T=1050°C, t=10min b: ohne	a: T=1050°C, t=10min b: ohne	a: T=1050°C, t=10min b: ohne
p ⁺ - Implantation	Bor, E=80keV, d=5*10 ¹⁵ cm ⁻²	Bor, E=150keV, d=5*10 ¹⁵ cm ⁻²	Bor, E=80keV, d=5*10 ¹⁵ cm ⁻²	Bor, E=150keV, d=5*10 ¹⁵ cm ⁻²	Bor, E=80keV, d=5*10 ¹⁵ cm ⁻²	Bor, E=150keV, d=5*1015cm ⁻²
2. n- Implantation	Phosphor, E=80keV, $d=1*10^{15}$ cm ⁻²	Phosphor, E= 80keV , d= $1*10^{15} \text{cm}^{-2}$	Phosphor, E= 80keV , d= $3*10^{15} \text{cm}^{-2}$	Phosphor, E= 80keV , d= $3 \times 10^{15} \text{cm}^{-2}$	Phosphor, E= 80 keV, d= $5*10^{15}$ cm ⁻²	Phosphor, E= 80 keV, d= $5*10^{15}$ cm ⁻²
Ausdiffusion	T=1050°C, t=30min	T=1050°C, t=30min	T=1050°C, t=30min	T=1050°C, t=30min	T=1050°C, t=30min	T=1050°C, t=30min

	Tiefe der	Lage des p-	max. p-	max. n-	Dotierungs-	Lage des	Schwellsp.
Variante	n-Wanne	Maximum	Dotierung	Dotierung	max. Kanal	N _{Amax}	bei I _C =20mA
	y _{nj} [µm]	y _{p+max} [µm]	N _{p+max} [cm-3]	N _{n+max} [cm-3]	N _{Amax}	x _{Nmax} [µm]	Uth [V]
1a	0.35	1.03	1.388*1019	3.64*1018	4.61*1016	4.80	3.15
1b	0.42	1.09	1.743*10 ¹⁹	1.124*10 ¹⁹	5.77*1016	4.73	3.8
2a	0.47	1.4	1.881*10 ¹⁹	1.26*1019	4.73*1016	4.80	3.3
2b	0.46	1.32	2.591*10 ¹⁹	3.897*10 ¹⁹	5.9*1016	4.73	3.7
3a	0.46	1.05	1.37*10 ¹⁹	1.303*10 ¹⁹	5.75*10 ¹⁶	4.71	3.75
3b	0.47	1.1	1.492*10 ¹⁹	1.687*10 ¹⁹	7.03*1016	4.67	4.4
4a	0.46	1.3	2.521*10 ¹⁹	3.581*10 ¹⁹	5.77*10 ¹⁶	4.73	3.8
4b	0.50	1.28	2.46*10 ¹⁹	4.79*10 ¹⁹	7.08*10 ¹⁶	4.69	4.45
5a	0.52	1.06	1.29*10 ¹⁹	2.22*10 ¹⁹	8.18*1016	4.61	5.0
5b	0.55	1.12	1.355*10 ¹⁹	2.20519	9.85*1016	4.54	5.65
6a	0.55	1.29	2.21*1019	5.63*1019	8.07*1016	4.61	4.95
6b	0.55	1.28	2.233*1019	5.58*1019	9.9*10 ¹⁶	4.54	5.6

Tabelle 4.2.: Darstellung wichtiger Parameter als Ergebnis der Prozeßsimulation

Variante	R_{n+} [Ω /cm]	R_{p+} [Ω /cm]	R _{on bei} 50A/cm ² [Ω/cm ²]	R _{on bei} 100A/cm ² [Ω/cm ²]	R _{on bei} 200A/cm ² [Ω/cm ²]	U _{CE} bei 50A/cm ² [V]	U _{CE} bei 100A/cm ² [V]	U _{CE} bei 200A/cm ² [V]
1a	0.185	0.558	0.0161	0.0117	0.009	2.34	3.01	4.0
1b	0.085	0.324	0.0159	0.0117	0.009	2.33	3.01	4.0
2a	0.0545	0.137	0.0176	0.0118	0.009	2.35	3.03	4.04
2b	0.0425	0.193	0.0157	0.0116	0.0088	2.33	3.0	4.0
3a	0.0584	0.38	0.016	0.0117	0.0094	2.34	3.02	4.03
3b	0.0474	0.266	0.016	0.0119	0.0098	2.34	3.03	4.07
4a	0.0393	0.218	0.0161	0.0118	0.0094	2.34	3.02	4.04
4b	0.0367	0.151	0.0161	0.012	0.0096	2.34	3.03	4.07
5a	0.0483	0.198	0.0165	0.0125	0.01	2.36	3.07	4.16
5b	0.0529	0.179	0.0166	0.0125	0.0108	2.36	3.09	4.21
6a	0.051	0.113	0.0166	0.0125	0.01	2.36	3.07	4.16
6b	0.078	0.0984	0.0171	0.0125	0.0106	2.36	3.09	4.19

 Tabelle 4.3.: Wichtige Bauelementekennwerte

Die folgenden Darstellungen zeigen die Abhängigkeit des Widerstandes des n⁺-Gebiets (Abb.4.3.) sowie der p-Wanne (Abb.4.4) von den Technologieparametern bei einer Stromdichte von 50A/cm². Die Berechnung dieser Werte erfolgt analog dem Vorgehen in Kapitel 3.4.



Abb.4.4.: Abhängigkeit des p-Wannenwiderstandes von den Prozeßvarianten

Durch die zusätzliche Temperung kommt es zu einer Absenkung der maximalen Dotierungshöhe der n-Wanne. Obwohl bei fehlendem Temperschritt aufgrund der geringeren Ausdiffusion in vertikaler Richtung ein höheres Maximum der p-Dotierung festzustellen ist, kommt es zu einer Verschlechterung des Verhältnisses von p-Dotierung zu n-Dotierung. Dieses Verhältnis sollte annähernd gleich sein, um ein vorzeitiges Zünden der parasitären Thyristorstruktur zu verhindern (Kapitel 4.1.). Der Vergleich der Widerstandswerte der DIGBT mit den in Kapitel 3.4. für die Standard-IGBT-Zellen mit unterschiedlichen Wannentiefen erhaltenen Resultate für die Wannenwiderstände zeigt aber, daß die DIGBT bis zu vierfach niedrigere Werte aufweisen. Somit kann davon ausgegangen werden, daß diese Bauelemente eine sehr gute Latch-Up-Festigkeit aufweisen und die Temperung hierauf weniger Einfluß nimmt.

Die in Tabelle 4.3. aufgeführten sowie in Abbildung 4.4. graphisch veranschaulichten Werte zeigen den Einfluß der Temperung auf den Bahnwiderstand der p-Wanne. Wie die berechneten R_{on}-Werte zeigen, wirkt sich die Änderung des Widerstandes der p-Wanne nicht auf die Durchlaßverluste aus. Dies erklärt sich aus den unterschiedlichen Stromanteilen, woraus sich der Gesamtstrom zusammensetzt. Bei NPT-IGBT ist der Elektronenstrom der überwiegende Anteil am Gesamtstrom. Dieser fließt durch das Driftgebiet und anschließend durch den Kanal, so das der Widerstand der p-Wanne nur sehr geringen Einfluß auf die Durchlaßverluste hat. Somit kann die Dotierung der p-Wanne mehr mit Blick auf gute Sperr-und Latch-Up-Eigenschaften gewählt werden.



Abb.4.5.: Darstellung der 1D-Schnitte an der Oberfläche des DIGBT

Aufgrund des verwendeten Spacers kommt es in dem Bereich des n⁺-Gebietes, in dem nur die erste n-Implantation wirksam wird, zu einem Anstieg des Bahnwiderstandes. Dadurch erhöht sich einerseits der Gesamtwiderstand des n⁺-Gebietes, welcher jetzt im Bereich der IGBT-Standardzelle aus Kapitel 3 liegt, andererseits wird so eine Begrenzung des im Kurzschlußfall fließenden Stromes erreicht.

Institut für Festkörperelektronik

Im Vergleich zu normalen IGBT-Zellen kommt es dadurch nicht zur Erhöhung der Durchlaßverluste, diese liegen im Gegenteil besonders bei Stromdichten ab 100A/cm² niedriger.

Als Folge des Temperschrittes tritt ebenfalls eine Veränderung der maximalen Kanalkonzentration N_{Amax} auf, prinzipiell kann somit die Schwellspannung über die Dauer dieses Hochtemperaturschrittes eingestellt werden.

Um den Verlauf der Dotierungen im Bauelement darzustellen, wurde für alle berechneten Varianten jeweils ein lateraler Schnitt kurz unterhalb der Oberfläche sowie ein vertikaler Schnitt im Kontaktgebiet angegeben. Abbildung 4.5. zeigt ein berechnetes Dotierungsprofil und verdeutlicht die Lage der Schnitte. Die berechneten Dotierungsprofile für die Variante 3 sind in den Abbildungen 4.6. und 4.7. dargestellt, alle weiteren Ergebnisse sind im Anhang aufgeführt.



Abb. 4.6.: Vertikaler Schnitt für Variante 3, links mit und rechts ohne Temperschritt



Abb. 4.7.: Lateraler Schnitt für Variante 3, links mit und rechts ohne Temperschritt

Für die in Tabelle 4.1. aufgeführten Varianten wurden ebenfalls die Transfer- und Ausgangskennlinien berechnet. Die Gesamtheit der Ergebnisse ist wiederum im Anhang aufgeführt, hier dargestellt sind nur zwei charakteristische Varianten. In Abbildung 4.8. sind Transfer- und Ausgangskennlinie für die Variante 2b und 6b, jeweils ohne Temperschritt, dargestellt. Abbildung 4.9. zeigt die entsprechenden Kennlinien für beide Varianten der Prozeßfolge 3.



Abb. 4.8.: Transfer- und Ausgangskennlinien der DIGBT nach Variante 2b/6b (ohne Temperung)



Abb. 4.9.: Transfer- und Ausgangskennlinien der DIGBT nach Variante 3

Aus den Kurven läßt sich ablesen, daß die erreichbaren Stromdichten bei den Bauelementen, wo nach Einbringen der 1. n-Implantation eine Temperung stattfand, deutlich höher sind. Es zeigt sich ebenfalls, daß mit den DIGBT nach Variante 1 oder 2 (siehe Anhang B) theoretisch nochmals höhere Sättigungsstromdichten erreichbar sind. Diese Bauelemente weisen zudem eine Schwellspannung von ca. 4V - 5V auf, sind also in dieser Hinsicht mit den Kennwerten üblicher IGBT vergleichbar.

Die in der Simulation theoretisch erreichbaren Stromdichten sind in der Praxis aufgrund der Eigenerwärmung der Bauelemente nicht einstellbar. Durch den steileren Anstieg der Kurven lassen sich jedoch mit diesen Bauelementen bei den üblichen Stromdichten von etwa 100A/cm² deutlich geringere Durchlaßverluste als mit IGBT der zweiten Generation erreichen. Durch das spätere Einsetzen der Sättigung sind diese Bauelemente in einem größeren Bereich gut steuerbar.

Das Durchbruchverhalten sämtlicher Varianten weist kaum Unterschiede auf. Die Driftzone ist mit 250µm ausreichend stark gewählt, der Avalanchestrom wird bei allen Typen bei Sperrspannungen von ca. 1500V zum größten Anteil des Gesamtsperrstromes.



Abb. 4.10.: Durchbruchverhalten der DIGBT



Abb. 4.11.: Löcherverteilung in der p-Wanne

Zum Durchbruch kommt es dann bei Sperrspannungen von ca. 1700V (Abb.4.10.). Die Löcherverteilung in der p-Wanne zeigt, daß es nicht zum Durchgreifen (Punch Through) der Raumladungszone kommt (Abb.4.11.). Für ein Bauelement von 1200V Sperrspannung sind also ausreichend Reserven vorhanden.

4.2.3. Einfluß technologischer Parameter auf das Kurzschlußverhalten

Der Kurzschlußstrom ist eine für die Charakterisierung von DIGBT wichtige Größe, da durch den mit Hilfe des Spacers erzeugten Dotierungsverlauf im n⁺-Gebiet eine Strombegrenzung erreicht werden soll. Es ist auch hier der Strom für den Kurzschlußfall 2 berechnet worden (Anschalten der vollen Betriebsspannung an das eingeschaltete Bauelement). Die Untersuchung erfolgt für drei der im Vorkapitel angeführten Varianten. Dabei ergeben sich einige interessante und für die Anwendbarkeit der IGBT wichtige Aussagen.

Die erhaltenen Resultate sind in Tabelle 4.4. sowie in Abbildung 4.12. aufgeführt.

Variante	1a	1b	1b	3a	3a	3b	3b	6a	6a	6b
Gatespannung Uth [V]	10	10	15	10	15	10	15	10	15	10
Kurzschlußstrom IshC [A]	Ava-	883	Ava-	850	Ava-	598	Ava-	414	1400	253
	lanche		lanche		lanche		lanche			
Einschwingzeit t _{ShC} [ns]	-	780	-	770	-	850	-	1100	590	1400

Tabelle 4.4.: Ergebnisse der Kurzschlußstrombestimmung



Abb. 4.12.: Abhängigkeit des Kurzschlußstromes von der Prozeßführung

Es zeigt sich, daß DIGBT anfällig gegenüber einem dynamischen Avalanche beim Schalten in den Kurzschluß sind. Das Einsetzen dieses Effekts ist abhängig von den gewählten Prozeßparametern. Während es bei Variante 1a bereits bei einer Gatespannung von 10V im Kurzschlußfall zum Lawinendurchbruch kommt, tritt dieser Fall bei Variante 6a auch bei 15V Gatespannung nicht auf, während es bei den Varianten 1b, 3a und 3b bei dieser Gatespannung ebenfalls zum Durchbruch kommt. Abbildung 4.13. zeigt den Verlauf der Ströme im Zeitraum des Anschaltens der 1000V Collectorspannung an den DIGBT für die Varianten 1a & 1b bei einer Gatespannung von 10V. Deutlich zu erkennen ist der Einsatz des Avalanche nach ca. 420ns.



Abb. 4.13.: Stromverlauf der DIGBT-Varianten 1a & 1b während des Schaltens in den Kurzschluß Im folgenden sollen die Bedingungen gefunden werden, um diesen Effekt möglichst weit hinauszuschieben. Für die Ionisationsraten der Ladungsträger gilt:

$$\alpha_{n} = \frac{1}{n} \cdot \frac{dn}{dx}$$
$$\alpha_{p} = \frac{1}{p} \cdot \frac{dp}{dx}$$

Formel 4.1.: Ionisationsraten der Ladungsträger

Die Ionisationsrate gibt den statistischen Mittelwert an, wieviele freie Ladungsträger ein frei beweglicher Ladungsträger durch Zusammenstöße aus dem Gitter herauslösen kann. Zur Generation von Ladungsträgern durch Stoßionisation und damit zum Avalanchedurchbruch kommt es beim Erreichen der folgenden Bedingung:

$$\int_{0}^{x_{d}} \alpha_{eff} \cdot dx \ge 1$$

Formel 4.2.: Einsetzbedingung der Stoßionisation

Eine zweite wichtige Beziehung zur Beschreibung des Avalancheverhaltens ist die Abhängigkeit der Ionisationsrate von der elektrischen Feldstärke:

$$\alpha = \alpha_0 \cdot \left(\frac{E}{E_0}\right)^n$$

Formel 4.3.: Abhängigkeit der Ionisationsrate von der Feldstärke

Bei kleineren Feldstärken (m=1) kommt es kaum zu Zusammenstößen der freien Ladungsträger mit optischen Phononen, Gitter- und Elektronentemperatur sind also annähernd gleich, so das sich die Gitterschwingungen kaum auf die Ladungsträger auswirken. Bei Feldstärken größer der kritischen Feldstärke E₀ (ca. 10⁶ V/cm) gilt m=2, da es durch die jetzt einsetzenden zahlreiche Zusammenstöße der freien Ladungsträger mit den optischen Phononen zu einer deutlichen Aufheizung des Gitters kommt [48]. Zu Beachten ist weiterhin, daß die kritische Feldstärke mit zunehmender Dotierung ansteigt.

Für die Generation von Ladungsträgern bei einsetzendem Avalanche gilt:

$$G_{av} = \frac{1}{q} \cdot \left\{ \alpha_{n} \cdot \left| J_{n} \right| + \alpha_{p} \cdot \left| J_{p} \right| \right\}$$
[47]

Formel 4.4.: Avalanchegeneration von freien Ladungsträgern

Für die Durchspruchspannung eines pn-Überganges bei anliegender Gatespannung gilt in erster Näherung:

$$U_{BR} \approx \frac{U_G}{1 + \frac{3 \cdot d_i}{W}} + \frac{W \cdot E_C}{1 + \frac{W}{3 \cdot d_i}}$$
[48]

Formel 4.5.: Durchbruchspannung eines pn-Überganges

Ziel ist es also, durch geeignete Wahl von Dotierung und Dotierungsverlauf eine möglichst geringe Ionisationsrate zu erhalten. Beachtet werden muß weiterhin, daß die Ionisationsrate oberhalb der kritischen elektrischen Feldstärke stark von dieser abhängig ist. Sie wird damit also auch von der anliegenden Spannung beeinflußt.

Aus den Gleichungen für die Ionisationsraten lassen sich einige Forderungen für eine bessere Avalanchefestigkeit der DIGBT-Wannengebiete ableiten. Je höher der Gradient der freien Ladungsträger im jeweiligen Gebiet des pn-Überganges wird, desto eher kommt es in diesem Gebiet zur Avalanchegeneration von Ladungsträgern. Andererseits kommt es durch eine höhere Anzahl von freien Ladungsträgern zu einer Absenkung der Ionisationsrate (Formel 4.1.). Sinnvoll erscheinen demnach fließend ineinander übergehende pn-Übergänge mit annähernd gleichen Dotierungswerten, damit es zu einer gleichmäßigen Ausbreitung der Raumladungszone in beiden Gebieten kommt. Das führt ebenfalls zur Vermeidung unnötiger und bei DIGBT offenbar sehr kritischer Feldstärkespitzen. Die Dotierungen sollten im Sinne einer Verbesserung der Durchbrucheigenschaften hoch gewählt werden (Formel 4.1.). Dazu kommt die allgemeine Forderung der Vermeidung unnötiger Ecken oder enger Krümmungsradien, da an diesen Feldstärkespitzen auftreten, welche sich aber oftmals nicht vermeiden lassen. Abbildung 4.14. zeigt die im Bauelement nach Variante 1a auftretenden Avalancheraten und die entsprechenden Feldstärken. Es ist zu erkennen, daß am Übergang zwischen n-Gebiet und p-Wanne ein Feldstärkemaximum auftritt, in dessen unmittelbarer Umgebung sich das Maximum der Avalancherate befindet. Die Variante 1a weist die geringste n-Dotierung aller simulierten DIGBT-Varianten auf. Das elektrische Feld hat sein Maximum in unmittelbarer Nähe des pn-Überganges im Gebiet der p-Wanne, da es sich aufgrund der höheren Dotierung der p-Wanne weniger weit als in das n-Gebiet ausbreiten kann. Der Avalanche setzt direkt am pn-Übergang ein, da hier die geringste Dotierungshöhe vorliegt. Dadurch steigt die Ionisationsrate an (Formel 4.1.), gleichzeitig sinkt die kritische Feldstärke ab.



Abb. 4.14.: Verlauf von Feldstärke und Avalancherate beim dynamischen Durchbruch

Als günstig für eine gute Avalanchefestigkeit im dynamischen Betriebsfall erweist sich für DIGBT die Wahl eines hohen Dotierungsmaximums für das n-Gebiet sowie die p-Wanne, wie es auch aus den Werten in Tabelle 4.2. für die Variante 6 ersichtlich ist. Es zeigt sich zusätzlich, daß sich der Kurzschlußstrom bei dieser Variante bei einem geringeren Wert einstellt, da die Dosis der ersten Implantation relativ gering ist und sich somit in diesem Bereich ein höherer Bahnwiderstand ergibt. Die sich hierbei ergebende Differenz zu den berechneten Widerstandswerten (Variante 1 weist den deutlich höchsten Bahnwiderstand im n-Gebiet auf, Variante 3a zeigt ebenfalls einen höheren Wert des Bahnwiderstandes als Variante 6a) liegt in der für die Bestimmung dieses Kennwertes bei dieser IGBT-Variante ungünstigen Verlegung des Kontaktes in der Simulation an die Oberfläche des Halbleitergebietes begründet. Dieser müßte für eine exakte Berechnung am Übergang zum Kanalgebiet liegen, was allerdings aufgrund numerischer Probleme bisher nicht erfolgreich durchzuführen war.

5. Zusammenfassung der Ergebnisse

In der vorliegenden Arbeit erfolgte eine Untersuchung und Optimierung der Eigenschaften vertikaler IGBT-Hochvoltbauelemente auf der Basis der numerischen Analyse mit zweidimensionalen Simulationssystemen.

Zunächst wurde in einer Literaturrecherche ein Überblick über Vor- und Nachteile unterschiedlicher IGBT-Bauformen und Möglichkeiten der Optimierung wichtiger Kennwerte gewonnen. Im Ergebnis erfolgte die Untersuchung im wesentlichen an zwei verschiedenen IGBT-Grundstrukturen. Es wurde eine Optimierung geometrischer Größen an vertikalen NPT-IGBT mit einer Sperrspannung von 1200V durchgeführt sowie Varianten der technologischen Realisierung vorgestellt und deren elektronische Eigenschaften bestimmt. Für eine neuartige, eine deutliche Verbesserung der Kennwerte in Aussicht stellende Struktur wurde eine Untersuchung des Einflusses der Variation unterschiedlicher technologischer Parameter auf die erreichbaren Bauelementeeigenschaften durchgeführt.

Als Ergebnis der Untersuchung herkömmlicher NPT-IGBT mit vertikaler Struktur zeigt sich, daß eine Verringerung der Tiefe der p-Wanne auf 4µm möglich ist. Dies führt zusammen mit der durchgeführten Zellweitenoptimierung zu einer Verringerung der Durchlaßverluste im Vergleich zu IGBT mit derzeit üblichen Wannentiefen von 6µm, ohne das es zu einer die Anwendbarkeit einschränkenden Verschlechterung des Latch-Up-, Durchbruch- oder Kurzschlußverhaltens kommt. Für die Beurteilung des Latch-Up-Verhaltens wurde die Untersuchung eines Strukturausschnitts erfolgreich eingesetzt. Desweiteren wurde die Abhängigkeit dynamischer Parameter von der Lebensdauer der elektrischen Ladungsträger dargestellt. Zur technologischen Realisierung der Bauelemente wurde ein VDMOS-Prozeß adaptiert. Der Vergleich der erreichbaren Kennwerte zeigte eine gute Übereinstimmung mit den Zielwerten. Notwendig ist eine weitergehende Untersuchung des thermischen Verhaltens des IGBT im Kurzschlußfall unter Einbeziehung der Eigenerwärmung durch den Stromfluß.

Eine weitere Verringerung der Wannentiefe auf 3µm führte zu einer weiteren Verbesserung der Durchlaßeigenschaften. Dabei kam es jedoch zu einer deutlichen Verschlechterung insbesondere der Latch-Up-Festigkeit. Es konnte nachgewiesen werden, daß ein lateral möglichst weit ausgedehntes, hochdotiertes p-Gebiet unterhalb der n-Wanne zu einer Verbesserung des Latch-Up-Verhaltens führt. Insgesamt kann jedoch nicht die erforderliche Robustheit erreicht werden.

Im vorangehenden Abschnitt wurde gezeigt, daß eine Realisierung von vertikalen IGBT mit sehr guten Eigenschaften bezüglich Durchlaßverlusten, Sperrfähigkeit und Robustheit aufgrund einer 3µm-Wanne dennoch möglich ist.

Diese Bauelemente erfordern eine spezielle Technologie, um einen selbstpositionierenden Prozeßablauf zu gewährleisten und eine Implantation an einem Spacer zu ermöglichen. Zusätzlich ist eine Siliziumätzung nötig, um die Kontaktierung des p-Anschlußgebietes zu gewährleisten. Insgesamt ist eine deutliche Verringerung der benötigten Fläche je Zelle möglich, ohne das es zu einer Verschlechterung der Durchlaßverluste kommt, so das mehr Zellen pro Chip untergebracht werden können. Dies ermöglicht es, höhere Durchlaßströme zu erreichen. Die Sättigungsspannung der DIGBT ist etwas geringer als die der Standard-IGBT.

Die in Simulationen untersuchten Bauelemente erweisen sich im statischen Betriebsfall als praktisch frei von Latch-Up-Effekten. Erreicht wird dies durch den deutlich niedrigeren Widerstand der p-Wanne in dem vom Löcherstrom durchflossenen Bereich. Eine weitere Verbesserung der Kennwerte durch eine Zellweitenoptimierung steht noch aus.

Im Sperrfall weisen die Bauelemente eine ausreichende Spannungsfestigkeit auf, zum Avalanche-Durchbruch kommt es statisch bei Sperrspannungen von mehr als 1600V. Somit ist die Möglichkeit zur Verringerung der Driftzonenweite gegeben, wodurch eine zusätzliche Verkleinerung der Durchlaßverluste realisierbar ist. Beachtet werden muß dabei jedoch, daß eine ausreichende mechanische Stabilität des Wafers erhalten bleibt.

Bei Schalten des IGBT in den Kurzschluß besteht die Gefahr eines dynamischen Avalanche aufgrund der hierbei auftretenden höheren elektrischen Feldstärken als im Sperrzustand, welche aber durch eine geeignete Dotierungswahl verringert bzw. weitgehend ausgeschaltet werden kann. Hierzu sollten ebenfalls weitere Untersuchungen erfolgen.

Doppelt Implantierte IGBT können bei entsprechender Dimensionierung somit durchaus Kennwerte vergleichbar denen von Trench-IGBT erreichen, auch wenn diese noch in einigen Parametern günstigere Werte aufweisen. Sie benötigen allerdings eine weitaus weniger aufwendige Herstellungstechnologie als diese, so das aufgrund der kostengünstigen Fertigung mit einer weiten Anwendung der Bauelemente gerechnet werden kann.

Verzeichnis der verwendeten Symbole und Abkürzungen

С	Kapazität
CI	Konzentration der ionisierten Störstellen
C _{ref}	Bezugsdotierung
D	Dotierung allgemein
d	Dosis
E	Energie, elektrische Feldstärke
E _G	Energiedifferenz zwischen Leitungs- und Valenzband (GAP)
E ₀	kritische elektrische Feldstärke
G	Generationsrate
Gav	Avalanchegenerationsrate
Ι	Strom allgemein
I _{AVA}	Avalanchestrom
I _C	Collectorstrom
ILatch	Latchstrom
I_{ShC}	Kurzschlußstrom
I _{SRH}	Shockley-Read-Hall-Rekombinationsstrom
IGBT	Bipolartransistor mit isolierter Steuerelektrode
J	Stromdichte
J _n	Elektronenstromdichte
J _p	Löcherstromdichte
JFET	Sperrschicht-Feldeffekttransistor
1	Länge allgemein
$l_{\rm B}$	Länge der Bulkzone unter der n-Wanne
l_{Ch}	Kanallänge
m	Masse
Ν	Konzentration, Verteilung, Zustandsdichte
N _{n+max}	maximale n-Dotierung
N _{p+max}	maximale p-Dotierung
N_A	Akzeptorkonzentration
N _{Amax}	maximale Akzeptorkonzentration
N_D	Donatorkonzentration
N _{Dmax}	maximale Donatorkonzentration
N _{FC}	Zustandsdichte der unbeweglichen Ladungen
N _{IS}	Isolatorzustandsdichte

N _{SS}	Oberflächenzustandsdichte
ni	Eigenleitungsdichte
n	Elektronenkonzentration
NPT	Non Punch Through
р	Löcherkonzentration
PTPunch	Through
Q, q	Ladung
Q _{FC}	Unbewegliche Ladung
Q _{IS}	Isolatorladung
Q _{SS}	Oberflächenladung
R	Widerstand
R _B	Bahnwiderstand
R_{n^+}	Widerstand der n+-Wanne
Ron	Einschaltwiderstand
R _p	Widerstand der p-Wanne
R_{p+}	Widerstand der p+-Wanne
R _P	Reichweite
SRH	Shockley-Read-Hall-Rekombination
Т	Temperatur, Transistor
t	Zeit
t _{ShC}	Einstellzeit für den Kurzschlußstrom
VSAT	Sättigungsdriftgeschwindigkeit von Ladungsträgern
U	Spannung allgemein
U _{BR}	Durchbruchspannung
UCE	Collector-Emitter-Spannung
UG	Gatespannung
U _{th}	Schwellspannung
W	Sperrschichtbreite
W	Halbzellweite
w _d	Weite des Driftgebietes
х	laterale Ausdehnung allgemein
x _{Nmax}	laterale Lage eines Dotierungsmaximums
x _p	laterale Ausdehnung der p-Wanne
x_{p+}	laterale Ausdehnung des vergrabenen p+-Gebietes
у	vertikale Ausdehnung allgemein
y _{nj}	vertikale Ausdehnung der n-Wanne
y _{pj}	vertikale Ausdehnung der p-Wanne

Ур+j	vertikale Ausdehnung des vergrabenen p+-Gebietes
y _{p+}	Tiefe des Anschlußgebietes
Ур	Stärke der p-Wanne unter der n-Wanne
α	Ionisationsrate, Stromverstärkung in Basisschaltung
α_{eff}	effektive Ionisationsrate
α_n	Ionisationsrate für Elektronen
α _p	Ionisationsrate für Löcher
$\alpha_{\rm N}$	Stromverstärkung in Basisschaltung im Normalbetrieb
α_{T}	Basistransportfaktor
β	Stromverstärkung in Emitterschaltung
$\gamma_{\rm E}$	Emitterwirkungsgrad
μ_0	Grundbeweglichkeit der Ladungsträger bei 300K
μ_{min}	minimale Ladungsträgerbeweglichkeit
μ_n	Elektronenbeweglichkeit
$\mu_{\rm p}$	Löcherbeweglichkeit
κ	Leitfähigkeit
τ	Ladungsträgerlebensdauer

Literaturverzeichnis

Allgemeine Literaturstellen

- [1] ToSCA-Handbuch
- [2] B.Heinemann, "Nutzerhinweise TRIGEN", IHP Frankfurt/O., 1991
- [3] N.Strecker u.a., "Der 2D-Technologiesimulator DIOS Version 3.3.", Nutzerhandbuch, ETH Zürich, 1993
- [4] M.Netzel, R.Herzer, R.Rudolf, "Berechnung von planaren Randstrukturen für vertikale IGBT's mittels Lösung der kompletten Halbleiter-Grundgleichungen", 23.Koloquium für Halbleiter-Leistungs bauelemente und Materialgüte von Silizium, Freiburg/Breisigau, 1994
- [5] M.Netzel, K.G.Oppermann, R.Herzer, "Gegenüberstellung der BE-Simulationssysteme MEDICI und ToSCA anhand von Berechnungen ausgewählter Leistungsbauelemente, 22.Koloquium für Halbleiter-Leistungsbauelemente und Materialgüte von Silizium, Freiburg/Breisigau, 1993
- [6] M.Netzel, D.Schipanski, "Simulation von Bauelementen der Leistungselektronik mit dem Komplex simulationssystem PRODESI", 21.Koloquium für Halbleiter-Leistungsbauelemente und Materialgüte von Silizium, Freiburg/Breisigau, 1992
- [7] R.Rudolf, "Simulation vertikaler IGBT-Zellstrukturen", Belegarbeit, TU-Ilmenau, 1994
- [8] R.Rudolf, "Untersuchung vertikaler DMOS- und IGBT-Zellstrukturen", Praktikumsarbeit, TU-Ilmenau, 1993
- [9] M.Netzel, D.Schipanski, R.Herzer, "Cell-Design for 600V-PT-Epilayer-IGBT's", ISPS'94, Prag, 1994
- [10] G.Dallmann, H.Syhre, T.Feudel, H.Lendenmann, W.Fichtner, "Two-Dimensional Dopant Profile Characterization for MCT and IGBT Structures", ISPSD'94, pp. 305-308, Davos, 1994
- [11] R.Siemieniec, "Simulation von IGBT-Strukturen mit dem Technologiesimulator DIOS", Belegarbeit, TU-Ilmenau, 1994
- [12] R.Siemieniec, "Erprobung des Technologiesimulators DIOS (VMS-VAX-BASIS) und Vergleich mit Messungen", Praktikumsarbeit, TU-Ilmenau/ELEX GmbH, 1993
- [13] R.Rudolf, "Entwurf, Simulation und Optimierung von Zellen und Randstrukturen für vertikale IGBT's", Diplomarbeit, TU-Ilmenau, 1994
IGBT

- [14] B.J.Baliga, M.S.Adler, P.V.Gray, R.P.Love, N.Zommer, "The Insulated Gate Rectifier (IGR): A New Power Switching Device", IEDM'82 Tech. Dig., pp.264-267, 1982
- [15] T.Fehn, "Entwurf und numerische Analyse von Halbleiterstrukturen für den Insulated Gate Bipolar Transistor (IGBT)", Doktorarbeit, Technische Fakultät, Universität Erlangen, 1992
- [16] S.M.Sze, "Physics of Semiconductor Devices", 2nd Edition, J.Wiley & Sons, USA 1981
- [17] B.J.Baliga, "Analysis of the Output Conductance of Insulated Gate Transistors", IEEE Electron Device Letters, Vol. EDL-7, No.12, pp. 686-688, December 1986
- [18] T.Laska, Y.Gerstemaier, G.Miller, J.Niedermeyr, "Steigerung der Robustheit von IGBT: Modelling and Technologie", 19.Koloquium f
 ür Halbleiter-Leistungsbauelemente und Materialg
 üte von Silizium, Freiburg/Breisigau, 1990
- [19] M.F.Chang, G.C.Pifer, H.Yilmaz, R.F.Dyer, "Comparison of N and P Channel IGT's", IEDM '84, pp. 278-281, 1984
- [20] B.J.Baliga, M.S.Adler, P.V.Gray, R.P.Love, "Suppressing Latchup in Insulated Gate Transistors", IEEE Electron Device Letters, Vol. EDL-5, No.8, pp.323-325, August 1984
- [21] Y.Koh, C.Kim, "Two-Dimensional Analysis of Latch-Up Phenomena in Latch-Up-Free, Self Aligned IGBT Structures", Solid State Electronics, Vol.33, No.5, pp.497-501, 1990
- [22] A.Nakagawa, Y.Yamaguchi, K.Watanabe, H.Ohashi, "Safe Operating Area for 1200V-Nonlatchup Bipolar Mode MOSFET's", IEEE Transactions on Electron Devices, ED-34 No.2, pp. 351-355, 1987
- [23] N.Thapar, B.J.Baliga, "A new IGBT structure with a wider Safe Operating Area (SOA)", Proc. ISPSD'94, pp.177-182, Davos, 1994
- [24] T.Laska, A.Porst, H.Brunner, W.Kiffe, "A Low Loss Highly Rugged IGBT-Generation Based On A Self Aligned Process With Double Implanted N/N+ -Emitter", Proc. ISPSD'94, pp.171-175, Davos, 1994
- [25] H.Ariyama, T.Minato, M.Harada, H.Pan, H.Kondoh, Y.Akasaka, "Effects of shorted Collector on Characteristics of IGBT", Proc. ISPSD'90, pp. 131-136, Tokyo, 1990
- [26] Allan R. Hefner Jr., David L. Blackburn, "A Performance Trade-Off for the Insulated Gate Bipolar Transistor: Buffer Layer Versus Base Lifetime Reduction", IEEE Transactions on Power Electronics, Vol. PE-2, No. 3, July 1987

[27] A.Porst, T.Laska, H.Brunner, W.Kiffe, "Möglichkeiten zur Verbesserung der Durchlaßeigenschaften von IGBT", 23.Koloquium für Halbleiter-Leistungsbauelemente und Materialgüte von Silizium, Freiburg/Breisigau, 1994

LIGBT

- [28] M.Darwish, K.Board, "Lateral Resurfed COMFET", Electronic Letters, Vol. 20, No. 12, pp.519-520, June 1984
- [29] R. Jayaraman et. al., "Comparison of High Voltage Devices for Power Integrated Circuits", IEDM Tech. Dig., pp. 258-261, 1984
- [30] M.R.Simpson et. al., "Analysis of the Lateral Insulated Gate Transistor", IEDM Tech. Dig., pp.740-743, 1985
- [31] D.N.Pattanayak, M.S.Adler, "Analysis of Current Flow in Lateral Insulated Gate Transistors", Proc. 43rd Annual Device Research Conf. (Boulder, CO), Paper 6B5, June, 1985
- [32] P.A.Gough, M.R.Simpson, V.Rumennik, "Fast Switching Lateral Insulated Gate Transistor", IEDM Tech. Dig., pp.218-221, 1986
- [33] D.N.Pattanayak, A.L.Robinson, T.P.Chow, M.S.Adler, B.J.Baliga, E.J Wildi, "n-Channel Lateral Insulated Gate Transistors: Part I - Steady-State Characteristics", IEEE Transactions On Electron Devices, Vol. ED-33 No.12, December 1986
- [34] T.P.Chow, D.N.Pattanayak, B.J.Baliga, M.S.Adler, "Latching in Lateral Insulated Gate Bipolar Transistors", IEDM Tech. Dig., pp.774-777, 1987
- [35] T.P.Chow, D.N.Pattanayak, B.J.Baliga, M.S.Adler, W.A.Hennessy, C.E.Logan, "Interaction Between Monolithic, Junction-Isolated Lateral Insulated-Gate Bipolar Transistors", IEEE Transactions On Electron Devices, Vol. 38 No. 2, February 1991
- [36] A.L.Robinson, D.N.Pattanayak, M.S.Adler, B.J.Baliga, E.J.Wildi, "Lateral Insulated GateTransistors with Improved Latching Characteristics", IEDM Tech.Dig., p.744, 1985

Trench-IGBT

- [37] M.Harada, T.Minato, H.Takahashi, H.Nishihara, K.Inoue, I.Takata, "600V Trench IGBT in Comparison with Planar IGBT", proc. ISPSD 1994, pp. 411-416, Davos, 1994
- [38] M.Otsuki, S.Momota, A.Nishiura, K.Sakurai, "The 3rd Generation IGBT Toward a Limitation of IGBT Performance", proc. ISPSD 1994, pp. 24-29, Monterey, 1993

- [39] P.V.Gilbert, G.W.Neudeck, R.Bashir, J.Siekkinen, J.Denton, "A Fully Integrable Insulated Gate Bipolar Transistor with Trench Gate Structure", proc. ISPSD 1993, pp. 240-245, Monterey, 1993
- [40] H.R.Chang, B.J.Baliga, "500V n-Channel Insulated-Gate Bipolar Transistor with a Trench Gate Structure", IEEE Transactions on Electron Devices, Vol. 36 No.9, September 1989
- [41] B.J.Baliga, "Modern Power Devices", John Wiley & Sons, p.351, 1987

Schottky-IGBT

[42] Bundesrepublik Deutschland, Deutsches Patentamt, Offenlegungsschrift DE 41 32 526 A1

Thermisches Verhalten

- [43] J.Baliga, "Temperature Behavior of Insulated Gate Transistors Characteristics", Solid State Electronics, Vol.28, No.3, pp. 289-297
- [44] W.Feiler, W.Gerlach, U.Wiese, "Electrothermal Investigation of NPT-IGBT's with Different Gate Designs under Critical Load Conditions", Proc. ISPS'94, Prague, 1994, pp. 143-150

Modellierung, Innere Elektronik

- [45] H.C. de Graaf, F.M.Klaassen, "Compact Transistor Modelling for Circuit Design", Springer, Wien1990
- [46] S. Selberherr, "Analysis and Simulation of Semiconductor Devices", Springer, Wien, 1984
- [47] A.Möschwitzer, K.Lunze, "Halbleiterlektronik", Verlag Technik, Berlin, 1977, S. 100-103
- [48] R.Paul, "MOS-Feldeffekttransistoren", Springer Verlag, Berlin, 1994, S.95 ff.

Halbleitertechnologie

- [49] R,Herzer, J.Döhnel, "Technologischer Ablauf VDMOS-Technologie", 1994
- [50] A.Mogro-Campero, R.P.Love, "Carrier Lifetime Reduction by Ion Implantation into Silicon", Mater.Res.Soc.Symp.Proc., Vol.27, pp. 537-542, 1984

Institut für Festkörperelektronik

[51] H.Ryssel, I.Ruge, "Ionenimplantation", Teubner Verlag, Stuttgart, 1978

<u>Anhang</u>

A - Entwurfsregeln für VDMOS

aktive Gebiete:

A1	Breite der aktiven Gebiete	4µm
A2.1	Abstand der akt. Gebiete	4µm
	(Feldoxidbreite)	

poly-Si-Schichten:

B1	Breite der Poly-Si-Schicht (Steg)	$3 \mu m$
B2	Abstand benachbarter Schichten	3µm
BA1	Gateüberlappung in Z-Richtung	3µm

Kontaktfenster:

C1	Kontaktfensteröffnung	3µm	
C2	Abstand der Kontaktfenster	3µm	
CA1	C-Fenster innerhalb A		2µm
CA2	C-Fenster außerhalb A	3µm	
CB1	Abstand eines Fensters zum Poly-Si innen	2µm	
CB2	Abstand eines Fensters zum Poly-Si außen	2.5µm	

Aluminium:

D1	Breite der Al-Schicht	4µm
D2.1	Abstand der Al-Schichten	3μm
DC1	Kontaktloch innerhalb des Aluminiums	1.5µm

B - In ToSCA verwendete Modelle für temperaturabhängige Größen

Verwendete Modelle

1. Rekombination

Ladungsträgerlebensdauer

$$\tau_{n}^{-1} = \left(\frac{300}{T}\right)^{GAMMAn} \cdot \left[\frac{1}{TAUN0} + CSRHn \cdot DOTB\right] + \left(\frac{T}{300}\right)^{DELTAn} \cdot CAUGn \cdot p^{2}$$

$$\tau_{p}^{-1} = \left(\frac{300}{T}\right)^{GAMMAp} \cdot \left[\frac{1}{TAUP0} + CSRHp \cdot DOTB\right] + \left(\frac{T}{300}\right)^{DELTAp} \cdot CAUGp \cdot n^{2}$$

Shockley-Read-Hall-Rekombination

 $R_{srh} = \frac{pn - n_i^2}{\tau_p \cdot (n + REN) + \tau_n \cdot (p + REP)}$

2. Eigenleitungsdichte

$$ENI(T) = ENI \cdot \left(\frac{T}{300}\right)^{3/2} \cdot exp\left[-\left(\frac{EGAP \cdot \left(1 - \frac{T}{300}\right)}{2}\right)\right]$$

3. Temperaturabhängigkeit der Sättigungsgeschwindigkeit

$$VGRN(T) = VGRN \cdot \left(\frac{T}{300}\right)^{-EVN}$$
$$VGRP(T) = VGRP \cdot \left(\frac{T}{300}\right)^{-EVP}$$

4. Temperaturabhängige Beweglichkeit

$$AMUN0(T) = AMUN0 \cdot \left(\frac{T}{300}\right)^{-GN}$$

$$AMUP0(T) = AMUP0 \cdot \left(\frac{T}{300}\right)^{-GP}$$

$$AMUN2(T) = AMUN2 \cdot \left(\frac{T}{300}\right)^{-AMUN4}$$

$$AMUP2(T) = AMUP2 \cdot \left(\frac{T}{300}\right)^{-AMUP4}$$

$$AMUN3(T) = AMUN3 \cdot \left(\frac{T}{300}\right)^{-AMUN5}$$

$$AMUP3(T) = AMUP3 \cdot \left(\frac{T}{300}\right)^{-AMUP5}$$

5. Dotierungsabhängige Beweglichkeit

$$MUn(T, D) = AMUN3(T) + \frac{AMUN0(T) - AMUN3(T)}{1 + \left(\frac{CI}{AMUN2(T)}\right)^{AMUN1}}$$

$$MUp(T, D) = AMUP3(T) + \frac{AMUP0(T) - AMUP3(T)}{1 + \left(\frac{CI}{AMUP2(T)}\right)^{AMUP1}}$$

6. Feldabhängige Elektronen- und Löcherbeweglichkeit

$$MUn(T, D, E) = \frac{MUn(T, D)}{\left[1 + \left(\frac{MUn(T, D) \cdot EPn}{VGRN}\right)^2\right]^{\frac{1}{2}}} \qquad MUp(T, D, E) = \frac{MUp(T, D)}{1 + \left[\left(\frac{MUp(T, D) \cdot EPp}{VGRP}\right)^2\right]^{\frac{1}{2}}}$$

Anhang

Angewandte Simulationsparameter

TAUN0	5 - 50 μs
TAUP0	5 - 50 µs
CSRHn	3.451*10 ⁻¹² cm ³ /s
CSRHp	3.333*10-11cm ³ /s
GAMMAn	0
GAMMAp	0
DELTAn	0
DELTAp	0
CAUGn	$0 \text{ cm}^{6/\text{s}}$
CAUGp	$0 \text{ cm}^{6/s}$
REN	1.09*1010 cm-3
REP	1.09*1010 cm-3
AMUN0	1429.23 cm ² /Vs
AMUP0	479.37 cm ² /Vs
AMUN1	0.733
AMUP1	0.7
AMUN2	1.072*1017 cm-3
AMUP2	1.606*1017 cm-3
AMUN3	55.24 cm ² /Vs
AMUP3	49.705 cm ² /Vs
AMUN4	2.546
AMUP4	2.546
AMUN5	0.57
AMUP5	0.57
GN	2.33
GP	2.23
VGRN	1.035*10 ⁷ cm/s
VGRN	1.035*107 cm/s
EVN	0.87
EVP	0.52

-		1	i	1	i	1
	Variante 1a/b	Variante 2a/b	Variante 3a/b	Variante 4a/b	Variante 5a/b	Variante 6a/b
p-Wannen-	Bor,	Bor,	Bor,	Bor,	Bor,	Bor,
implantation	E=90keV,	E=90keV,	E=90keV,	E=90keV,	E=90keV,	E=90keV,
	$d=5*10^{13}$ cm ⁻²	$d=5*10^{13}cm^{-2}$	$d=5*10^{13}$ cm ⁻²	$d=5*10^{13}$ cm ⁻²	$d=5*10^{13}$ cm ⁻²	$d=5*10^{13}$ cm ⁻²
Wannen-	T=1150°C,	T=1150°C,	T=1150°C,	T=1150°C,	T=1150°C,	T=1150°C,
diffusion	t=30min	t=30min	t=30min	t=30min	t=30min	t=30min
1. n-	Phosphor,	Phosphor,	Phosphor,	Phosphor,	Phosphor,	Phosphor,
Implantation	E=80keV,	E=80keV,	E=80keV,	E=80keV,	E=80keV,	E=80keV,
	d=5*1015cm-2	d=5*1015cm-2	d=3*1015cm-2	d=3*1015cm-2	d=1*1015cm-2	d=1*1015cm-2
Ausdiffusion	a: T=1050°C,	a: T=1050°C,	a: T=1050°C,	a: T=1050°C,	a: T=1050°C,	a: T=1050°C,
	t=10min	t=10min	t=10min	t=10min	t=10min	t=10min
	b: ohne	b: ohne	b: ohne	b: ohne	b: ohne	b: ohne
p+-	Bor,	Bor,	Bor,	Bor,	Bor,	Bor,
Implantation	E=80keV,	E=150keV,	E=80keV,	E=150keV,	E=80keV,	E=150keV,
_	d=5*1015cm-2	d=5*10 ¹⁵ cm ⁻²	$d=5*1015cm^{-2}$	d=5*1015cm-2	d=5*10 ¹⁵ cm ⁻²	d=5*1015cm-2
2. n-	Phosphor,	Phosphor,	Phosphor,	Phosphor,	Phosphor,	Phosphor,
Implantation	E=80keV,	E=80keV,	E=80keV,	E=80keV,	E=80keV,	E=80keV,
_	d=1*1015cm-2	d=1*1015cm-2	d=3*1015 cm ⁻²	d=3*1015cm-2	d=5*10 ¹⁵ cm ⁻²	d=5*1015cm-2
Ausdiffusion	T=1050°C,	T=1050°C,	T=1050°C,	T=1050°C,	T=1050°C,	T=1050°C,
	t=30min	t=30min	t=30min	t=30min	t=30min	t=30min

C - Übersicht der berechneten DIGBT-Varianten

Tabelle C1: Übersicht der untersuchten Prozeßfolgen

	Tiefe der	Lage des p-	max. p-	max. n-	Dotierungs	Lage des	Schwellsp.
Variante n-Wanne		Maximum	Dotierung	erung Dotierung		-max. NAmax	
	xj [μm]	$x_{vp+}[\mu m]$	Np+max [cm-3]	Nn+max [cm-3]	Kanal	x _{Nmax} [µm]	I _C =20mA
					NAmax		Uth [V]
1a	0.35	1.03	1.388*10 ¹⁹	3.64*10 ¹⁸	4.61*10 ¹⁶	4.80	3.15
1b	0.42	1.09	1.743*10 ¹⁹	1.124*10 ¹⁹	5.77*1016	4.73	3.8
2a	0.47	1.4	1.881*10 ¹⁹	1.26*1019	4.73*1016	4.80	3.3
2b	0.46	1.32	2.591*10 ¹⁹	3.897*10 ¹⁹	5.9*1016	4.73	3.7
3a	0.46	1.05	1.37*1019	1.303*1019	5.75*1016	4.71	3.75
3b	0.47	1.1	1.492*10 ¹⁹	1.687*10 ¹⁹	7.03*1016	4.67	4.4
4a	0.46	1.3	2.521*1019	3.581*1019	5.77*1016	4.73	3.8
4b	0.50	1.28	2.46*10 ¹⁹	4.79*10 ¹⁹	7.08*1016	4.69	4.45
5a	0.52	1.06	1.29*1019	2.22*1019	8.18*1016	4.61	5.0
5b	0.55	1.12	1.355*1019	2.20519	9.85*1016	4.54	5.65
6a	0.55	1.29	2.21*10 ¹⁹	5.63*10 ¹⁹	8.07*1016	4.61	4.95
6b	0.55	1.28	2.233*10 ¹⁹	5.58*10 ¹⁹	9.9*1016	4.54	5.6

Tabelle C2.: Darstellung wichtiger Parameter als Ergebnis der Prozeßsimulation

Variante	R_{n+} [Ω /cm]	R_{p+} [Ω /cm]	R _{on bei} 50A/cm ² [Ω/cm ²]	R _{on bei} 100A/cm ² [Ω/cm ²]	R _{on bei} 200A/cm ² [Ω/cm ²]	U _{CE} bei 50A/cm ² [V]	U _{CE} bei 100A/cm ² [V]	U _{CE} bei 200A/cm ² [V]
1a	0.185	0.558	0.0161	0.0117	0.009	2.34	3.01	4.0
1b	0.085	0.324	0.0159	0.0117	0.009	2.33	3.01	4.0
2a	0.0545	0.137	0.0176	0.0118	0.009	2.35	3.03	4.04
2b	0.0425	0.193	0.0157	0.0116	0.0088	2.33	3.0	4.0
3a	0.0584	0.38	0.016	0.0117	0.0094	2.34	3.02	4.03
3b	0.0474	0.266	0.016	0.0119	0.0098	2.34	3.03	4.07
4a	0.0393	0.218	0.0161	0.0118	0.0094	2.34	3.02	4.04
4b	0.0367	0.151	0.0161	0.012	0.0096	2.34	3.03	4.07
5a	0.0483	0.198	0.0165	0.0125	0.01	2.36	3.07	4.16
5b	0.0529	0.179	0.0166	0.0125	0.0108	2.36	3.09	4.21
6a	0.051	0.113	0.0166	0.0125	0.01	2.36	3.07	4.16
6b	0.078	0.0984	0.0171	0.0125	0.0106	2.36	3.09	4.19

 Tabelle C3.: Wichtige Bauelementekennwerte

Für alle Varianten wurde jeweils ein lateraler Schnitt kurz unter der Oberfläche (bei $y_v=50nm$) sowie ein vertikaler Schnitt durch das Bauelement (bei $x_l=1\mu m$) berechnet (Abb. C1). Die erforderliche Kontaktlochätzung ist hierbei weggelassen worden.



Diplomarbeit

Abb.C1: Darstellung der 1D-Schnitte am DIGBT

Im folgenden sind sämtliche Ergebnisse dargestellt, auf der linken Seite erscheinen die Ergebnisse der Variante a (mit Ausdiffusion nach der 1.n-Implantation), auf der rechten Seite sind die Ergebnisse der Variante b (ohne diesen Diffusionsschritt) aufgeführt. Danach erscheinen die entsprechenden Transfer- und Ausgangskennlinienpaare.









Institut für Festkörperelektronik





